



(19)

(11) Publication number: 11150143 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 09315323

(51) Int'l. H01L 21/60 H01L 21/56 H01L 23/28 H01L
Cl.: 23/50

(22) Application date: 17.11.97

(30) Priority:

(43) Date of application publication: 02.06.99

(84) Designated contracting states:

(71) Applicant: FUJITSU LTD

(72) Inventor: YONEDA YOSHIYUKI
NOMOTO TAKASHI
MOTOOKA SHUNSUKE
TSUJI KAZUTO
KASAI JUNICHI
KAWAHARA TOSHISANE
SAKOTA EIJI
ITASAKA KENJI
KAMIFUKUMOTO TERUKI

(74) Representative:

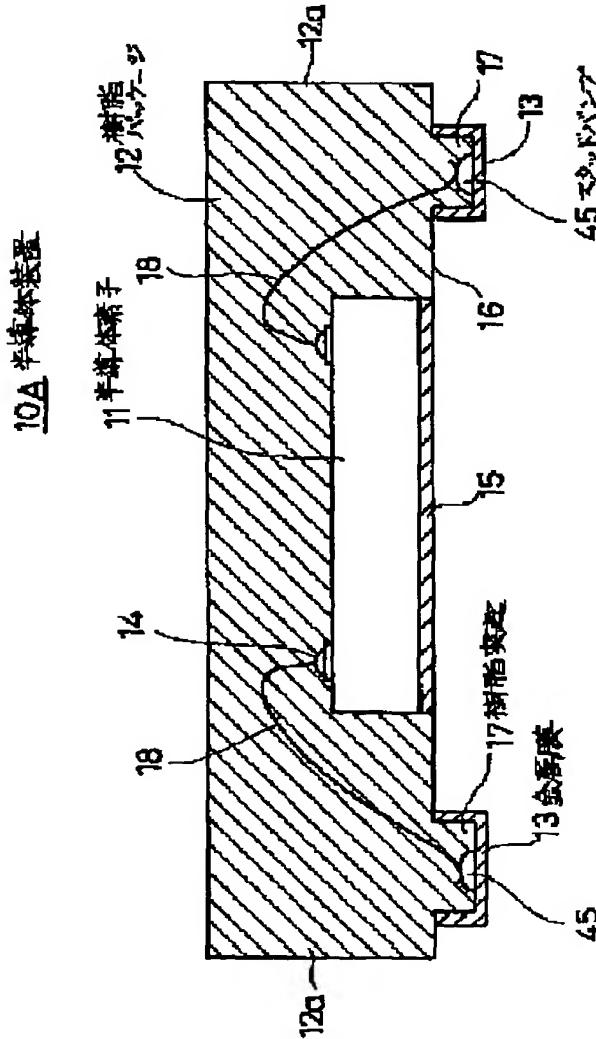
(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF, AND LEAD FRAME AND MANUFACTURE THEREOF

(57) Abstract:

PROBLEM TO BE SOLVED: To obtain a leadless, surface-mounted and resin encapsulated semiconductor device and a manufacturing method therefor, with a lead frame employed therein and a manufacturing method therefor, in which the manufacturing efficiency and test efficiency are improved.

SOLUTION: A wire 18 is arranged between a metal film 13 and an elected pad 14, and the metal film 13 is connected electrically with a semiconductor element 11. Since inner and outer leads became unnecessary and need for the area for routing the wire from inner lead to outer lead is eliminated in addition to the area of the outer lead itself, the size of a semiconductor device 10A can be reduced. Furthermore, since a resin package 12 has a vertical side face 12a, the semiconductor device 10A can be positioned with the side face 12a as reference at mounting or testing thereof.

COPYRIGHT: (C)1999,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-150143

(43)公開日 平成11年(1999)6月2日

(51)Int.Cl.⁶
H 0 1 L 21/60
21/56
23/28
23/50

識別記号
3 0 1

F I
H 0 1 L 21/60
21/56
23/28
23/50

3 0 1 B
H
J
A
D

審査請求 未請求 請求項の数26 O L (全 28 頁)

(21)出願番号 特願平9-315323

(22)出願日 平成9年(1997)11月17日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 米田 義之

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 垣本 隆司

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 弁理士 伊東 忠彦

最終頁に続く

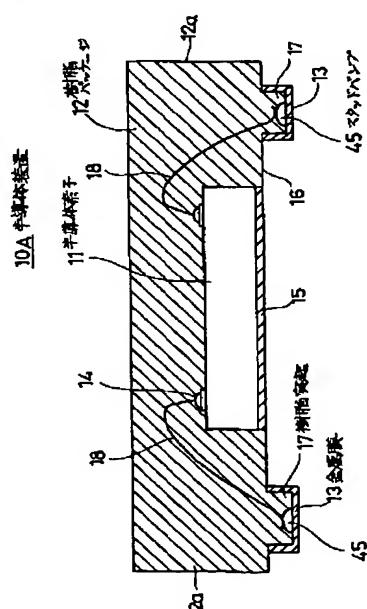
(54)【発明の名称】 半導体装置及びその製造方法及びリードフレーム及びその製造方法

(57)【要約】 (修正有)

【課題】リードレス表面実装型でかつ樹脂封止型の半導体装置及びその製造方法、並びにこの半導体装置を製造するために用いるリードフレーム及びその製造方法に関し、製造効率及び試験効率の向上を図る。

【解決手段】金属膜13と電極パッド14との間にはワイヤ18が配設されており、ころにより金属膜13と半導体素子11は電気的に接続した構成となっている。このため、インナーリードやアウターリードが不要となり、インナーリードからアウターリードへの引き回しのための面積や、アウターリード自身の面積が不要となり、半導体装置10Aの小型を図ることができる。また、樹脂パッケージ12の側面12aは垂直した切断面とされているため、半導体装置10Aの実装時或いは試験時等において、側面12aを基準面として半導体装置10Aの位置決めを行なうことができる。

本発明の第1実施例である半導体装置の断面図



【特許請求の範囲】

【請求項1】 半導体素子と、
前記半導体素子を封止する樹脂パッケージと、
前記樹脂パッケージの実装面から下方に向か突出形成された樹脂突起と、
前記樹脂突起に配設された金属膜と、
前記半導体素子上の電極パッドと前記金属膜とを電気的に接続する接続手段とを具備し、
かつ、前記樹脂パッケージの外周側面が垂立した切断面であることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、
前記金属膜を銀(Ag)及びパラジウム(Pd)のうち一つにより形成したことを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、
前記金属膜を、
外層よりパラジウム(Pd)層、金(Au)層の二層膜、

または、外層より金(Au)層、パラジウム(Pd)層の二層膜により形成したことを特徴とする半導体装置。

【請求項4】 請求項1記載の半導体装置において、
前記金属膜を、
外層より金(Au)層、ニッケル(Ni)層、金(Au)層の三層膜、
外層よりパラジウム(Pd)層、ニッケル(Ni)層、
パラジウム(Pd)層の三層膜、
外層より金(Au)層、パラジウム(Pd)層、金(Au)層の三層膜、
外層より半田層、ニッケル(Ni)層、金(Au)層の三層膜、
及び外層より半田層、ニッケル(Ni)層、パラジウム(Pd)層の三層膜のうち一つの三層膜により形成したことを特徴とする半導体装置。

【請求項5】 請求項1記載の半導体装置において、
前記金属膜を、
外層より半田層、ニッケル(Ni)層、パラジウム(Pd)層、金(Au)層の四層膜、
外層よりパラジウム(Pd)層、ニッケル(Ni)層、
パラジウム(Pd)層、金(Au)層の四層膜、
外層より金(Au)層、パラジウム(Pd)層、ニッケル(Ni)層、
パラジウム(Pd)層の四層膜、
外層よりパラジウム(Pd)層、ニッケル(Ni)層、
金(Au)層、パラジウム(Pd)層の四層膜、
及び外層より半田層、ニッケル(Ni)層、金(Au)層、
パラジウム(Pd)層の四層膜のうち一つの四層膜により形成したことを特徴とする半導体装置。

【請求項6】 請求項1記載の半導体装置において、
前記金属膜を、
外層より金(Au)層、パラジウム(Pd)層、ニッケル(Ni)層、
パラジウム(Pd)層、金(Au)層の五層膜、

外層より半田層、ニッケル(Ni)層、金(Au)層、
パラジウム(Pd)層、金(Au)層の五層膜、
外層よりパラジウム(Pd)層、ニッケル(Ni)層、
金(Au)層、パラジウム(Pd)層、金(Au)層の五層膜、
外層より半田層、ニッケル(Ni)層、金(Au)層、
パラジウム(Pd)層、金(Au)層の五層膜、
外層よりパラジウム(Pd)層、ニッケル(Ni)層、
銅(Cu)層、ニッケル(Ni)層、パラジウム(Pd)層の五層膜、
外層より金(Au)層、ニッケル(Ni)層、銅(Cu)層、
ニッケル(Ni)層、金(Au)層、の五層膜、
及び外層より金(Au)層、パラジウム(Pd)層、ニッケル(Ni)層、
金(Au)層、パラジウム(Pd)層の五層膜により形成したことを特徴とする半導体装置。

【請求項7】 請求項1記載の半導体装置において、
前記金属膜を、外層より金(Au)層、パラジウム(Pd)層、ニッケル(Ni)層、金(Au)層、パラジウム(Pd)層、金(Au)層の六層膜、

外層より金(Au)層、パラジウム(Pd)層、ニッケル(Ni)層、銅(Cu)層、ニッケル(Ni)層、パラジウム(Pd)層の六層膜、
外層よりパラジウム(Pd)層、ニッケル(Ni)層、銅(Cu)層、ニッケル(Ni)層、パラジウム(Pd)層、金(Au)層の六層膜のうち一つの六層膜により形成したことを特徴とする半導体装置。

【請求項8】 請求項1記載の半導体装置において、
前記金属膜を、外層より金(Au)層、パラジウム(Pd)層、ニッケル(Ni)層、銅(Cu)層、ニッケル(Ni)層、パラジウム(Pd)層、金(Au)層の六層膜により形成したことを特徴とする半導体装置。

【請求項9】 請求項1乃至8のいずれかに記載の半導体装置を製造する際に用いるリードフレームであって、
前記樹脂突起と対応する位置に形成された凹部と、
前記凹部に形成された金属膜とを具備することを特徴とするリードフレーム。

【請求項10】 請求項9記載のリードフレームの製造方法であって、
基材の両面にエッチングレジストを配設するエッチングレジスト配設工程と、
前記エッチングレジストの凹部形成位置に対応する部位を除去して所定のエッチングレジストパターンを形成するエッチングレジストパターン形成工程と、
前記基板の前記凹部形成位置に凹部を形成するエッチング工程と、
前記エッチング工程で形成された凹部内に、金属膜を形成する金属膜形成工程と、
前記エッチングレジストを除去するエッチングレジスト

除去工程とを具備することを特徴とするリードフレームの製造方法。

【請求項11】 基材に形成された凹部と、該凹部に形成された金属膜とを具備するリードフレームの製造方法であって、

前記基材の両面にエッチングレジストを配設するエッチングレジスト配設工程と、

前記エッチングレジストの凹部形成位置に対応する部位を除去して所定のエッチングレジストパターンを形成するエッチングレジストパターン形成工程と、

前記基板の前記凹部形成位置に凹部を形成するエッチング工程と、

前記エッチングレジストを除去するエッチングレジスト除去工程と、

前記レジスト除去工程の終了後、前記基材の両面にメッキレジストを配設するメッキレジスト配設工程と、

前記メッキレジストの凹部形成位置に対応する部位を除去して所定のメッキレジストパターンを形成するメッキレジストパターン形成工程と、

前記エッチング工程で形成された凹部内に、金属膜を形成する金属膜形成工程と、

前記メッキレジストを除去するメッキレジスト除去工程とを具備することを特徴とするリードフレームの製造方法。

【請求項12】 請求項11記載のリードフレームの製造方法において、

前記メッキレジスト配設工程では、統いて実施される金属膜形成工程で前記金属膜を形成する前記凹部以外の少なくとも位置決め孔を覆うことを特徴とするリードフレームの製造方法。

【請求項13】 前記請求項9に記載されたリードフレームに複数の半導体素子を搭載する素子搭載工程と、前記半導体素子と、前記リードフレームに形成されている前記金属膜とを電気的に接続する接続工程と、前記リードフレーム上に、前記複数の半導体素子を一括して封止する樹脂封止体を形成する封止工程と、

前記リードフレームから前記樹脂封止体を前記金属膜と共に分離する分離工程と、

前記樹脂封止体を分割して個々の樹脂パッケージを形成する分割工程とを具備することを特徴とする半導体装置の製造方法。

【請求項14】 請求項13記載の半導体装置の製造方法において、

前記接続工程では前記半導体素子に形成された電極パッドと前記金属膜とを電気的に接続する方法としてワイヤボンディング法を用いると共に、

先ず前記金属膜にワイヤの一端を接続し、統いて前記金属膜から前記電極パッドにワイヤを引き出した上でワイヤの他端部を前記電極パッドに接続することを特徴とする半導体装置の製造方法。

【請求項15】 請求項13記載の半導体装置の製造方法において、

前記接続工程では前記半導体素子に形成された電極パッドと前記金属膜とを電気的に接続する方法としてワイヤボンディング法を用いると共に、

先ず前記金属膜上にキャビラリを移動してスタッダップを形成し、

次に前記キャビラリを前記電極パッド上に移動させてファーストボンディングを行い、

次に前記キャビラリを前記金属膜上に移動させ、前記電極パッドから前記金属膜にワイヤを引き出した上で、前記ワイヤを先に形成されている前記スタッダップにセカンドボンディングすることを特徴とする半導体装置の製造方法。

【請求項16】 請求項15記載の半導体装置の製造方法において、

前記スタッダップは、

先ず前記キャビラリにより前記金属膜上にボールボンディングを行なうことによりボールを形成し、

次に前記キャビラリを前記ボールから上動させた上で水平方向に移動させ、

次に前記水平移動位置において前記キャビラリを下動させ、前記キャビラリにより前記ボールを潰し、

次に前記キャビラリを上動させてワイヤを切断することにより形成されることを特徴とする半導体装置の製造方法。

【請求項17】 請求項13乃至16のいずれかに記載の半導体装置の製造方法において、

前記分離工程では前記樹脂封止体を前記リードフレームから引き剥がすことにより分離することを特徴とする半導体装置の製造方法。

【請求項18】 請求項13乃至16のいずれかに記載の半導体装置の製造方法において、

前記分離工程では前記リードフレームを前記金属膜を残して溶解して前記樹脂封止体を分離することを特徴とする半導体装置の製造方法。

【請求項19】 請求項18記載の半導体装置の製造方法において、

前記分離工程では、前記リードフレームと接合した状態の前記樹脂封止体をエッチング槽内のエッチング液内に浸漬し、前記リードフレームを前記金属膜を残して溶解して前記樹脂封止体を分離することを特徴とする半導体装置の製造方法。

【請求項20】 請求項13乃至19のいずれかに記載の半導体装置の製造方法において、

前記封止工程では、トランスマルチモードにて前記樹脂封止体を形成することを特徴とする半導体装置の製造方法。

【請求項21】 請求項13乃至19のいずれかに記載の半導体装置の製造方法において、

前記封止工程では、液状樹脂を用いボッティング法または印刷マスクを用いた印刷法にて前記樹脂封止体を形成することを特徴とする半導体装置の製造方法。

【請求項22】 請求項13乃至21のいずれかに記載の半導体装置の製造方法において、

前記分割工程では、前記樹脂封止体から露出した前記金属膜または前記樹脂封止体の外形を基準として分割位置を決めて分割処理を行なうことを特徴とする半導体装置の製造方法。

【請求項23】 請求項13乃至21のいずれかに記載の半導体装置の製造方法において、

前記分割工程を前記分離工程より前に実施すると共に、前記分割工程では、前記リードフレームを基準として分割位置を決めて分割処理を行なうことを特徴とする半導体装置の製造方法。

【請求項24】 請求項13乃至22のいずれかに記載の半導体装置の製造方法において、

前記分割工程を実施する前に、個々の半導体素子に対し試験を行なう試験工程を実施することを特徴とする半導体装置の製造方法。

【請求項25】 請求項13乃至21のいずれかに記載の半導体装置の製造方法において、

前記分割工程を実施する前に、前記樹脂封止体に粘着テープを配設するテープ配設工程を実施すると共に、前記分割工程を実施した後に、前記樹脂パッケージが前記粘着テープに粘着された状態で個々の半導体素子に対し試験を行なう試験工程を実施することを特徴とする半導体装置の製造方法。

【請求項26】 半導体素子或いは電子素子の少なくとも一方を複数個含む素子群と、

前記素子群を封止する樹脂パッケージと、前記樹脂パッケージの実装面から下方に向か突出形成された樹脂突起と、

前記樹脂突起に配設された金属膜と、前記半導体素子上の電極パッドと前記金属膜とを電気的に接続する接続手段とを具備し、かつ、前記樹脂パッケージの外周側面が垂直した切断面であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法及びリードフレーム及びその製造方法に係り、特にリードレス表面実装型でかつ樹脂封止型の半導体装置及びその製造方法、及びこの半導体装置を製造するために用いるリードフレーム及びその製造方法に関する。

【0002】近年、電子機器の小型化により樹脂封止型の半導体装置に設けられるリードのピッチが小さくなる傾向にある。そのため、樹脂封止型の半導体装置において新たな構造及び製造方法が必要となる。

【0003】

【従来の技術】図35は、従来の樹脂封止型半導体装置の断面を示す図である。図35において、1は樹脂、2は半導体素子、3はアウターリード、4はボンディングワイヤ、5はダイパッドを示す。この半導体装置はSSOP(ShrinkSmall Outline Package)と呼ばれるパッケージ構造のものであり、アウターリード3がガルウイング状に曲げられて基板に実装される構成とされている。

【0004】しかるに、図35に示すSSOPタイプの半導体装置では、樹脂1内に示すインナーリード8からアウターリード3への引き回し部分9の面積や、アウターリード3自身の占める面積が大きく、実装面積が大きくなってしまうという問題点があった。そこで出願人は先に、上記の問題点を解決しうる半導体装置として、特開平9-162348号(特願平7-322803号)を提案した。図36は、上記出願に係る半導体装置110を示している。同図に示されるように、半導体装置110は、半導体素子111、樹脂パッケージ112、及び金属膜113等からなる極めて簡単な構成とされており、樹脂パッケージ112の実装面116に一体的に形成された樹脂突起117に金属膜113を被膜形成したことを特徴としている。

【0005】上記構成とされた半導体装置110は、従来のSSOPのようなインナーリードやアウターリードが不要となり、インナーリードからアウターリードへの引き回しのための面積や、アウターリード自身の面積が不要となり、半導体装置110の小型化を図ることができる。また、従来のBGAのような半田ボールを形成するためには搭載基板を用いる必要がなくなるため、半導体装置110のコスト低減を図ることができる。更に、樹脂突起117及び金属膜113は、協働してBGA(Grid Array)タイプの半導体装置の半田バンプと同等の機能を奏するため、実装性を向上することができる。

【0006】

【発明が解決しようとする課題】ところで、上記の半導体装置110を製造するには、先ず樹脂突起117の形成位置に対応する位置に凹部が形成されると共に、この凹部に金属膜113が膜形成されたリードフレームを用意し、次にこのリードフレームに半導体素子111を搭載し金属膜113との間にワイヤ118を配設し、その上で樹脂パッケージ112の形成処理を行う。半導体装置110は小型化を図るためにリードフレームを用いない半導体装置であるため、リードフレームは後に除去される。

【0007】この際、上記した半導体装置110は、樹脂パッケージ112の形成を各半導体素子111毎に行なっているため、リードフレームを除去すると、除去前においては整列状態であった樹脂パッケージ112(半導体装置110)が個々バラバラとなってしまう。このように樹脂パッケージ112が個々バラバラとなつた状態では、次工程における取り扱いが不便となり製造効率が低下するため、これを整列させる処理が必要となる。

【0008】この整列処理の具体例としては、①樹脂パッケージ112の形成時にゲートを残しておき、このゲートによりリードフレーム除去後も樹脂パッケージ112の整列状態を維持する方法、②リードフレーム除去前に樹脂パッケージに粘着テープを粘着し、この粘着テープによりリードフレーム除去後も樹脂パッケージ112の整列状態を維持する方法等が考えられる。

【0009】しかるに、上記の①の方法では、半導体装置が完成する前に最終的にゲートを除去する工程が必要となり、ゲートカットのための設備が必要となり、また製造工程が複雑化してしまうという問題点がある。更に、ゲート分だけ樹脂を多く必要とし、樹脂歩留りが悪いという問題点もある。また、上記の②の方法では、粘着テープが別個必要となり部品点数が増大すると共に、やはり半導体装置が完成する前に粘着テープを除去する工程が必要となり製造工程が複雑化してしまう。

【0010】一方、製造される半導体装置110は、適正に動作するか否か、また所定の信頼性を維持しているか否か等を調べる試験が実施される。この試験は各半導体装置110の金属膜113に接触ピンを接続して行なうが、上記のように樹脂パッケージ112（半導体装置110）が個々バラバラの状態では、微細ピッチを有した各金属膜113に接触ピンを接続するのが困難となり、試験効率が悪いという問題点もあった。

【0011】本発明は上記の点に鑑みてなされたものであり、製造効率及び試験効率の向上を図りうる半導体装置及びその製造方法及びリードフレーム及びその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】上記の課題は、下記の手段を講じることにより解決することができる。請求項1記載の発明に係る半導体装置では、半導体素子と、前記半導体素子を封止する樹脂パッケージと、前記樹脂パッケージの実面から下方に向か突出形成された樹脂突起と、前記樹脂突起に配設された金属膜と、前記半導体素子上の電極パッドと前記金属膜とを電気的に接続する接続手段とを具備し、かつ、前記樹脂パッケージの外周側面が垂立した切断面であることを特徴とするものである。

【0013】また、請求項2記載の発明では、前記請求項1記載の半導体装置において、前記金属膜を銀(Ag)及びパラジウム(Pd)のうち一つにより形成したことを特徴とするものである。また、請求項3記載の発明では、前記請求項1記載の半導体装置において、前記金属膜を、外層よりパラジウム(Pd)層、金(Au)層の二層膜、または、外層より金(Au)層、パラジウム(Pd)層の二層膜により形成したことを特徴とするものである。

【0014】また、請求項4記載の発明では、前記請求項1記載の半導体装置において、前記金属膜を、外層よ

り金(Au)層、ニッケル(Ni)層、金(Au)層の三層膜、外層よりパラジウム(Pd)層、ニッケル(Ni)層、パラジウム(Pd)層の三層膜、外層より金(Au)層、パラジウム(Pd)層、金(Au)層の三層膜、外層より半田層、ニッケル(Ni)層、金(Au)層の三層膜、及び外層より半田層、ニッケル(Ni)層、パラジウム(Pd)層の三層膜のうち一つの三層膜により形成したことを特徴とするものである。

【0015】また、請求項5記載の発明では、前記請求項1記載の半導体装置において、前記金属膜を、外層より半田層、ニッケル(Ni)層、パラジウム(Pd)層、金(Au)層の四層膜、外層よりパラジウム(Pd)層、ニッケル(Ni)層、パラジウム(Pd)層、金(Au)層の四層膜、外層より金(Au)層、パラジウム(Pd)層、ニッケル(Ni)層、パラジウム(Pd)層の四層膜、外層よりパラジウム(Pd)層、ニッケル(Ni)層、パラジウム(Pd)層の四層膜、外層よりパラジウム(Pd)層、ニッケル(Ni)層、金(Au)層、パラジウム(Pd)層の四層膜のうち一つの四層膜により形成したことを特徴とするものである。

【0016】また、請求項6記載の発明では、前記請求項1記載の半導体装置において、前記金属膜を、外層より金(Au)層、パラジウム(Pd)層、ニッケル(Ni)層、パラジウム(Pd)層、金(Au)層の五層膜、外層より半田層、ニッケル(Ni)層、金(Au)層、パラジウム(Pd)層、金(Au)層の五層膜、外層よりパラジウム(Pd)層、ニッケル(Ni)層、金(Au)層、パラジウム(Pd)層、金(Au)層の五層膜、外層より半田層、ニッケル(Ni)層、金(Au)層、パラジウム(Pd)層、金(Au)層の五層膜、外層よりパラジウム(Pd)層、ニッケル(Ni)層、金(Au)層、パラジウム(Pd)層、ニッケル(Ni)層、金(Au)層、パラジウム(Pd)層の五層膜のうち一つの五層膜により形成したことを特徴とするものである。

【0017】また、請求項7記載の発明では、前記請求項1記載の半導体装置において、前記金属膜を、外層より金(Au)層、パラジウム(Pd)層、ニッケル(Ni)層、金(Au)層、パラジウム(Pd)層、金(Au)層の六層膜、外層より金(Au)層、パラジウム(Pd)層、ニッケル(Ni)層、金(Au)層、パラジウム(Pd)層、ニッケル(Ni)層、金(Au)層、パラジウム(Pd)層の六層膜、外層よりパラジウム(Pd)層、ニッケル(Ni)層、金(Au)層、パラジウム(Pd)層、ニッケル(Ni)層、金(Au)層、パラジウム(Pd)層の六層膜のうち一つの六層膜により形成したことを特徴とするものである。

【0018】また、請求項8記載の発明では、前記請求項1記載の半導体装置において、前記金属膜を、外層より金(Au)層、パラジウム(Pd)層、ニッケル(Ni)層、銅(Cu)層、ニッケル(Ni)層、パラジウム(Pd)層、金(Au)層の六層膜により形成したことを特徴とするものである。

【0019】また、請求項9記載の発明では、前記請求項1乃至8のいずれかに記載の半導体装置を製造する際に用いるリードフレームであって、前記樹脂突起と対応する位置に形成された凹部と、前記凹部に形成された金属膜とを具備することを特徴とするものである。

【0020】また、請求項10記載の発明では、前記請求項9記載のリードフレームの製造方法であって、基材の両面にエッチングレジストを配設するエッチングレジスト配設工程と、前記エッチングレジストの凹部形成位置に対応する部位を除去して所定のエッチングレジストパターンを形成するエッチングレジストパターン形成工程と、前記基板の前記凹部形成位置に凹部を形成するエッチング工程と、前記エッチング工程で形成された凹部内に、金属膜を形成する金属膜形成工程と、前記エッチングレジストを除去するエッチングレジスト除去工程とを具備することを特徴とするものである。

【0021】また、請求項11記載の発明では、基材に形成された凹部と、該凹部に形成された金属膜とを具備するリードフレームの製造方法であって、前記基材の両面にエッチングレジストを配設するエッチングレジスト配設工程と、前記エッチングレジストの凹部形成位置に対応する部位を除去して所定のエッチングレジストパターンを形成するエッチングレジストパターン形成工程と、前記基板の前記凹部形成位置に凹部を形成するエッチング工程と、前記エッチングレジストを除去するエッチングレジスト除去工程と、前記レジスト除去工程の終了後、前記基材の両面にメッキレジストを配設するメッキレジスト配設工程と、前記メッキレジストの凹部形成位置に対応する部位を除去して所定のメッキレジストパターンを形成するメッキレジストパターン形成工程と、前記エッチング工程で形成された凹部内に、金属膜を形成する金属膜形成工程と、前記メッキレジストを除去するメッキレジスト除去工程とを具備することを特徴とするものである。

【0022】また、請求項12記載の発明では、前記請求項11記載のリードフレームの製造方法において、前記メッキレジスト配設工程では、統いて実施される金属膜形成工程で前記金属膜を形成する前記凹部以外の少なくとも位置決め孔を覆うことを特徴とするものである。

【0023】また、請求項13記載の発明では、前記請求項9に記載されたリードフレームに複数の半導体素子を搭載する素子搭載工程と、前記半導体素子と、前記リードフレームに形成されている前記金属膜とを電気的に接続する接続工程と、前記リードフレーム上に、前記複

数の半導体素子を一括して封止する樹脂封止体を形成する封止工程と、前記リードフレームから前記樹脂封止体を前記金属膜と共に分離する分離工程と、前記樹脂封止体を分割して個々の樹脂パッケージを形成する分割工程とを具備することを特徴とするものである。

【0024】また、請求項14記載の発明では、前記請求項13記載の半導体装置の製造方法において、前記接続工程では前記半導体素子に形成された電極パッドと前記金属膜とを電気的に接続する方法としてワイヤボンディング法を用いると共に、先ず前記金属膜にワイヤの一端を接続し、統いて前記金属膜から前記電極パッドにワイヤを引き出した上でワイヤの他端部を前記電極パッドに接続することを特徴とするものである。

【0025】また、請求項15記載の発明では、前記請求項13記載の半導体装置の製造方法において、前記接続工程では前記半導体素子に形成された電極パッドと前記金属膜とを電気的に接続する方法としてワイヤボンディング法を用いると共に、先ず前記金属膜上にキャピラリを移動してスタッダップバンプを形成し、次に前記キャピラリを前記電極パッド上に移動させてファーストボンディングを行い、次に前記キャピラリを前記金属膜上に移動させ、前記電極パッドから前記金属膜にワイヤを引き出した上で、前記ワイヤを先に形成されている前記スタッダップバンプにセカンドボンディングすることを特徴とするものである。

【0026】また、請求項16記載の発明では、前記請求項15記載の半導体装置の製造方法において、前記スタッダップバンプは、先ず前記キャピラリにより前記金属膜上にボールボンディングを行なうことによりボールを形成し、次に前記キャピラリを前記ボールから上動させた上で水平方向に移動させ、次に前記水平移動位置において前記キャピラリを下動させ、前記キャピラリにより前記ボールを潰し、次に前記キャピラリを上動させてワイヤを切断することにより形成されることを特徴とするものである。

【0027】また、請求項17記載の発明では、前記請求項13乃至16のいずれかに記載の半導体装置の製造方法において、前記分離工程では前記樹脂封止体を前記リードフレームから引き剥がすことにより分離することを特徴とするものである。また、請求項18記載の発明では、前記請求項13乃至16のいずれかに記載の半導体装置の製造方法において、前記分離工程では前記リードフレームを前記金属膜を残して溶解して前記樹脂封止体を分離することを特徴とするものである。

【0028】また、請求項19記載の発明では、前記請求項18記載の半導体装置の製造方法において、前記分離工程では、前記リードフレームと接合した状態の前記樹脂封止体をエッチング槽内のエッチング液内に浸漬し、前記リードフレームを前記金属膜を残して溶解して前記樹脂封止体を分離することを特徴とするものであ

る。

【0029】また、請求項20記載の発明では、前記請求項13乃至19のいずれかに記載の半導体装置の製造方法において、前記封止工程では、トランスファーモールドにて前記樹脂封止体を形成することを特徴とするものである。また、請求項21記載の発明では、前記請求項13乃至19のいずれかに記載の半導体装置の製造方法において、前記封止工程では、液状樹脂を用いポッティング法または印刷マスクを用いた印刷法にて前記樹脂封止体を形成することを特徴とするものである。

【0030】また、請求項22記載の発明では、前記請求項13乃至21のいずれかに記載の半導体装置の製造方法において、前記分割工程では、前記樹脂封止体から露出した前記金属膜または前記樹脂封止体の外形を基準として分割位置を決めて分割処理を行なうことを特徴とするものである。

【0031】また、請求項23記載の発明では、前記請求項13乃至21のいずれかに記載の半導体装置の製造方法において、前記分割工程を前記分離工程よりも前に実施すると共に、前記分割工程では、前記リードフレームを基準として分割位置を決めて分割処理を行なうことを特徴とするものである。

【0032】また、請求項24記載の発明では、前記請求項13乃至22のいずれかに記載の半導体装置の製造方法において、前記分割工程を実施する前に、個々の半導体素子に対し試験を行なう試験工程を実施することを特徴とするものである。また、請求項25記載の発明では、前記請求項13乃至21のいずれかに記載の半導体装置の製造方法において、前記分割工程を実施する前に、前記樹脂封止体に粘着テープを配設するテープ配設工程を実施すると共に、前記分割工程を実施した後に、前記樹脂パッケージが前記粘着テープに粘着された状態で個々の半導体素子に対し試験を行なう試験工程を実施することを特徴とするものである。

【0033】更に、請求項26記載の発明に係る半導体装置では、半導体素子あるいは電子素子の少なくとも一方を複数個含む素子群と、前記素子群を封止する樹脂パッケージと、前記樹脂パッケージの実装面から下方に向か突出形成された樹脂突起と、前記樹脂突起に配設された金属膜と、前記半導体素子上の電極パッドと前記金属膜とを電気的に接続する接続手段とを具備し、かつ、前記樹脂パッケージの外周側面が垂立した切断面であることを特徴とするものである。

【0034】上記の各手段は、次のように作用する。請求項1記載の発明によれば、インナーリードやアウターリードが不要となり、樹脂突起に形成された金属膜を外部端子として実装することができるため実装面積を小さくできる。また、半導体装置内にリードフレームが配設されないため、コストの低減を図ることができる。また、樹脂突起及び金属膜は、BGAタイプの半導体装置

の半田バンプと同等の機能を奏するため、実装性を向上することができる。

【0035】更に、樹脂パッケージの外周側面は垂立した切断面とされているため、樹脂成型された樹脂パッケージの外周側面と異なり、樹脂バリが存在することはない。このため、この樹脂パッケージの外周側面を基準面として実装時或いは試験時等において半導体装置の位置決めを行なうことができる。これにより、樹脂パッケージに別個位置決め用の標識を形成する必要はなくなり、構成の簡単化及び製造工程の簡単化を図ることができるものである。

【0036】また、請求項2乃至8記載の発明によれば、金属膜を単層とした場合には、接続手段（例えば、ワイヤボンディング）の接合性及び半田付け性が共に良好な金属を金属膜として用い、また複数層を積層した金属膜の場合には、最内層を接続手段の接合性が良好な金属とし、かつ最外層を半田付け性が共に良好な金属としたことにより、半導体素子と金属膜との電気的接続及び金属基板と実装基板との電気的接続を共に良好とすることができる。

【0037】また、請求項9記載の発明によれば、凹部と金属膜が形成されただけの簡単な構成のリードフレームにより、請求項1乃至8のいずれかに記載の半導体装置を製造することができる。また、請求項10記載の発明によれば、レジスト塗布、レジストパターン形成、エッチング、金属膜形成、及びレジスト除去等の簡単な工程によりリードフレームを形成することができる。

【0038】また、請求項11記載の発明によれば、エッチングレジスト配設工程、エッチングレジストパターン形成工程、エッチング工程、及びエッチングレジスト除去工程を実施することにより、基材に凹部をエッチング形成した後、エッチングレジストとは別個にメッキレジストを配設する構成とされている。

【0039】即ち、レジスト除去工程の終了後、メッキレジスト配設工程において基材の両面にメッキレジストを配設し、続くメッキレジストパターン形成工程においてメッキレジストの凹部形成位置に対応する部位を除去して所定のメッキレジストパターンを形成する。この際、エッチングレジストとメッキレジストとを異ならせることにより、エッチングレジストパターンとメッキレジストパターンとを異なるパターンとすることができる。

【0040】これにより、統いて実施される金属膜形成工程では、エッチングに拘わらず、金属膜を形成したい部位のみ形成することができる。また、請求項12記載の発明によれば、メッキレジスト配設工程において、凹部以外の少なくとも位置決め孔をメッキレジストにより覆う構成としたため、精度を必要とする位置決め孔に金属膜が形成されることを防止でき、その後の工程において精度の高い処理を行なうことが可能となる。

【0041】また、請求項13記載の発明によれば、リードフレーム上に搭載された複数の半導体素子は、封止工程において樹脂封止体により一括して封止される。即ち、この封止工程では個々の樹脂パッケージを形成するのではなく、一つの樹脂封止体により複数の半導体素子を一括的に封止する。よって、従来のような個々の樹脂パッケージを形成するためのゲート等も形成されない。この樹脂封止体は、分割工程において個々の樹脂パッケージに分割される。

【0042】従って、封止工程で使用する金型に、従来のように樹脂パッケージに対応したキャビティ及びゲートを形成する必要はなくなり、金型の構成を簡単化することができる。また、ゲートが不要となることにより各半導体チップを近接する事が可能となり、金型の小型化及び多数個取りのより一層の効率化を図ることができる。

【0043】更に、樹脂パッケージの大きさに変更が発生しても、金型の構造を変更する必要はなく、分割位置を変更するのみで対応することができ、樹脂パッケージの大きさの変更に柔軟に対応することができる。また、請求項14記載の発明によれば、先ず金属膜にワイヤの一端を接続し、続いて金属膜から電極パッドにワイヤを引き出した上でワイヤの他端部を電極パッドに接続する、いわゆる逆打ちのワイヤボンディング法を用いたことにより、ワイヤループの低背化を図ることができ、これに伴い半導体装置の低背化を図ることができる。

【0044】また、電極パッドの配設ピッチは金属膜の配設ピッチに比べて狭い。また、ワイヤボンディング処理においてファーストボンディングのボンディング領域は、セカンドボンディングのボンディング領域よりも広い。よって、配設ピッチの広い金属膜にファーストボンディングを行い、配設ピッチの狭い電極パッドにセカンドボンディングを行う構成とすることにより、高密度にワイヤの配設を行うことが可能となる。

【0045】また、請求項15記載の発明によれば、先ず金属膜上にスタッドバンプを形成し、電極パッドにワイヤをファーストボンディングした上でワイヤを金属膜上のスタッドバンプに引出し、金属膜上ではなくスタッドバンプにワイヤをセカンドボンディングすることにより、金属膜上に直接ワイヤをボンディングする構成に比べてワイヤを確実にボンディングすることができる。

【0046】また、請求項16記載の発明によれば、請求項15記載のスタッドバンプは、ボールボンディングにより金属膜上にボールを形成した後、キャビラリをこのボールから上動させた上で水平方向に移動させ、更にキャビラリを下動させてボールを潰す処理を行なうため、形成されるスタッドバンプと金属膜との接合を強固にできると共に、後に実施されるワイヤのセカンドボンディング時におけるボンディング面積を広げることができる。よって、ワイヤと金属膜とのボンディングを確実

に行なうことができる。

【0047】また、ボールを潰した後にキャビラリは上動されてワイヤを切断するが、この上動位置は上記のようにキャビラリを水平移動した位置であるため、ボール中心位置よりずれた位置となっている。このため、ワイヤをリスタッドバンプにセカンドボンディングする際、ワイヤ切断位置に形成される突起がボンディングの邪魔になるようなことはない。

【0048】また、請求項17記載の発明によれば、分離工程において樹脂パッケージをリードフレームから引き剥がすことにより分離することにより、容易に樹脂パッケージをリードフレームから分離することができる。また、請求項18記載の発明によれば、分離工程においてリードフレームを金属膜を残して溶解して樹脂パッケージを分離することにより、樹脂パッケージのリードフレームからの分離を確実かつ容易に行なうことができる。

【0049】また、請求項19記載の発明によれば、分離工程において、リードフレームと接合した状態の樹脂封止体をエッチング槽内のエッチング液内に浸漬することによりリードフレームを金属膜を残して溶解し、これによりリードフレームと樹脂封止体とを分離したことにより、複数個のリードフレームに対し分離処理を一括的に行なうことができ、分離処理の効率化を図ることができる。

【0050】また、請求項20記載の発明によれば、封止工程においてトランスファーモールドを用いて樹脂封止体を形成することにより、周知の樹脂成型方法により樹脂封止体を形成できるため、低コストで高い信頼性をもって樹脂封止体を形成することができる。また、請求項21記載の発明によれば、封止工程において液状樹脂を用いポッティング法または印刷マスクを用いた印刷法にて樹脂封止体を形成することにより、金型等の高額の設備を必要とすることなく、低コストで樹脂封止体を形成することができる。

【0051】また、請求項22記載の発明によれば、分割工程では、樹脂封止体から露出した金属膜または樹脂封止体の外形を基準として分割位置を決めて分割処理を行なうことにより、明確な基準に基づき分離処理を行なえるため、精度の高い分割処理を行なうことができる。また、請求項23記載の発明によれば、分割工程を分離工程より前に実施すると共に、分割工程においてリードフレームを基準として分割位置を決めて分割処理を行なうことにより、樹脂成型時に膨張・収縮が発生する樹脂封止体を基準として分割処理を行なう場合に比べ、精度の高い分割処理を行なうことができる。

【0052】また、請求項24記載の発明によれば、分割工程を実施する前に個々の半導体素子に対し試験を行なう試験工程を実施することにより、分割工程実施した後に試験を行なう構成に比べ、試験工程を容易に行なうことができる。即ち、分割工程実施すると、樹脂封止体

は個々の樹脂パッケージ（半導体装置）に分割されるため、この個々の半導体装置に対し試験を行なうには、これを試験装置に個々整列させて装着したり、また個々の半導体装置に設けられた金属膜と試験装置のコンタクトピンとを位置合わせする必要があり試験工程が面倒となる。

【0053】これに対し、分割工程を実施する前に試験工程を実施することにより、分割工程前では個々の半導体素子及び金属膜は樹脂封止体に整列した状態を維持しており、よって整列処理は不要となり、かつ位置合わせ処理を一括して行なうことができるため、試験工程を容易に行なうことができる。また、請求項25記載の発明によれば、分割工程を実施する前にテープ配設工程を実施し、樹脂封止体に粘着テープを配設することにより、分割工程を実施した後においても分割された個々の半導体パッケージ（半導体装置）は整列した状態を維持する。

【0054】そして、この樹脂パッケージが粘着テープに粘着された状態で個々の半導体素子に対し試験を行なう試験工程を実施することにより、整列処理は不要となり、また位置合わせ処理を一括して行なうことができるため、試験工程を容易に行なうことができる。更に、請求項26記載の発明によれば、インナーリードやアウターリードが不要となり、樹脂突起に形成された金属膜を外部端子として実装することができるため実装面積を小さくできる。また、半導体装置内にリードフレームが配設されないため、コストの低減を図ることができる。また、樹脂突起及び金属膜は、BGAタイプの半導体装置の半田バンプと同等の機能を奏するため、実装性を向上することができる。

【0055】また、樹脂パッケージの外周側面は垂立した切断面とされているため、樹脂成型された樹脂パッケージの外周側面と異なり、樹脂バリが存在することはない。このため、この樹脂パッケージの外周側面を基準面として実装時或いは試験時等において半導体装置の位置決めを行なうことができる。これにより、樹脂パッケージに別個位置決め用の標識を形成する必要はなくなり、構成の簡単化及び製造工程の簡略化を図ることができる。

【0056】更に、樹脂パッケージ内に半導体素子或いは電子素子の少なくとも一方を複数個含む素子群が内設された構成となるため、半導体装置をいわゆるMCM（マルチ・チップ・モジュール）とすることができる、集積度の向上及び低コスト化を図ることができる。

【0057】

【発明の実施の形態】次に本発明の実施の形態について図面と共に説明する。図1及び図2は本発明の第1実施例である半導体装置10Aを示している。図1は半導体装置10Aの断面図であり、図2は半導体装置10Aの底面図である。この第1実施例に係る半導体装置10A

は、大略すると半導体素子11、樹脂パッケージ12、及び金属膜13とからなる極めて簡単な構成とされている。

【0058】半導体素子11は、その上面に複数の電極パッド14が形成されており、素子固定樹脂15上に搭載された構成とされている。また、樹脂パッケージ12は、例えばエポキシ樹脂を後述するようにトランスマルチモールド（ボッティングも可能である）することにより形成されるものであり、その実装面16の所定位置には樹脂突起17が一体的に形成されている。この樹脂突起17は、樹脂パッケージ12の実装面16から下方に向かって突出形成されている。尚、この樹脂突起17の配設ピッチは、例えば0.8mm程度とすることが可能である。

【0059】ここで、樹脂パッケージ12の外周側面12aに注目すると、樹脂パッケージ12の側面12aは垂立した切断面とされている。図36に示すように、個々の樹脂パッケージ112を金型に形成されたキャビティにより形成する場合には、金型からの抜き性を良好とするため、その側面はテーパ（傾斜）を有した形状となっている。

【0060】しかるに、本実施例に係る半導体装置10Aは、後に詳述するにカットソー37（図29参照）を用いて樹脂封止体27を切断することにより形成される構成であるため、その側面は垂立した切断面となる。また、金属膜13は、樹脂パッケージ12に形成された樹脂突起17を覆うように形成されている。この金属膜13と前記した電極パッド14との間にはワイヤ18が配設されており、これにより金属膜13と半導体素子11は電気的に接続した構成となっている。尚、金属膜13の詳細については、説明の便宜上、後述するものとする。

【0061】上記構成とされた半導体装置10Aは、従来のSSOPのようなインナーリードやアウターリードが不要となり、インナーリードからアウターリードへの引き回しのための面積や、アウターリード自身の面積が不要となり、半導体装置10Aの小型化を図ることができる。また、従来のBGAのような半田ボールを形成するため搭載基板を用いる必要がなくなるため、半導体装置10Aのコスト低減を図ることができる。また、樹脂突起17及び金属膜13は、協働してBGAタイプの半導体装置の半田バンプと同等の機能を奏するため、実装性を向上することができる。

【0062】更に、先に述べたように、樹脂パッケージ12の外周側面12aは垂立した切断面とされているため、金型を用いて成型された樹脂パッケージ112の外周側面（図36参照）と異なり、樹脂バリが存在することはない。このため、半導体装置10Aの実装時或いは試験時等において、この樹脂パッケージ12の側面12aを基準面として半導体装置10Aの位置決めを行なう

ことができる。

【0063】これにより、樹脂パッケージ12に別個位置決め用の標識を形成する必要はなくなり、半導体装置10Aの構成の簡単化及び製造工程の簡単化を図ることができる。統いて、金属膜13について図3乃至図8を用いて説明する。各図は、金属膜13の配設位置近傍を拡大して示す図である。

【0064】金属膜13は、前記のように樹脂突起17を被覆するよう配設されると共に、ワイヤ18により半導体素子11と電気的に接続する構成とされている。また、この金属膜13は半導体装置10Aの外部接続端子として機能するものであり、前記したように半導体装置10Aを実装基板に実装する時には、金属膜13は実装基板に形成された接続電極に半田付けされる。

【0065】この金属膜13は、単層の金属層により形成してもまた複数の金属層を積層して形成した構成としてもよい。図3は単層の金属層により金属膜13Aを形成したものであり、図4乃至図8は複数の金属層を積層して金属膜13B～13Eを形成したものである。また、金属膜13(13A～13D)の材質を選定するに際し、前記のように金属膜13はその内側にワイヤ18が接続されると共に外側は実装基板に半田付けが行われるため、金属膜13の最内層はボンディング性が良好であることが要求され、また最外層は半田付け性が良好であることが要求される(以下、この金属膜13に要求される条件を金属膜要求特性という)。この金属膜要求特性を満たす金属膜13(13A～13E)の材質としては、次のようなものが考えられる。

【0066】図3に示される単層の金属膜13Aでは、金属膜13Aの材質としてボンディング性及び半田付け性が共に良好な材質を選定する必要がある。これを満足する材料としては、例えば銀(Ag)、或いはパラジウム(Pd)がある。また、図4に示されるような外層13B-1と内層13B-2とを積層した2層構造の金属膜13Bでは、金属膜要求特性を満たす外層13B-1と内層13B-2との組み合わせとして、外層13B-1をパラジウム(Pd)により形成し、内層13B-2を金(Au)により形成する組み合わせ、また外層13B-1を金(Au)により形成し、内層13B-2をパラジウム(Pd)により形成する組み合わせが考えられる。

【0067】また、図5に示されるような外層13C-1、中間層13C-2、内層13C-3とを積層した3層構造の金属膜13Cでは、外層13C-1を金(Au)により形成し、中間層13C-2をニッケル(Ni)により形成し、内層13C-3を金(Au)により形成する組み合わせが考えられる。また、他の組み合わせとしては、

- ・外層13C-1にパラジウム(Pd)、中間層13C-2にニッケル(Ni)、内層13C-3にパラジウム(Pd)を用いる組み合わせ
- ・外層13C-1に金(Au)、中間層13C-2にパラジウム(Pd)

ことができる。

ウム(Pd)、内層13C-3に金(Au)を用いる組み合わせ

- ・外層13C-1に半田、中間層13C-2にニッケル(Ni)、内層13C-3に金(Au)を用いる組み合わせ
- ・外層13C-1に半田、中間層13C-2にニッケル(Ni)、内層13C-3にパラジウム(Pd)を用いる組み合わせが考えられる。上記した各組み合わせにより金属膜13Cを構成することにより、金属膜要求特性を満たすと共に、中間層13C-2による外層13C-1と内層13C-3との接合性を向上することができる。

【0068】また、図6に示されるような外層13D-1、第1中間層13D-2、第2中間層13D-3、内層13D-4とを積層した4層構造の金属膜13Dでは、外層13D-1を半田により形成し、第1中間層13D-2をニッケル(Ni)により形成し、第2中間層13D-3をパラジウム(Pd)により形成し、内層13D-4を金(Au)により形成する組み合わせが考えられる。

【0069】また、他の組み合わせとしては、

- ・外層13D-1にパラジウム(Pd)、第1中間層13D-2にニッケル(Ni)、第2中間層13D-3にパラジウム(Pd)、内層13D-4に金(Au)を用いる組み合わせ

- ・外層13D-1に金(Au)、第1中間層13D-2にパラジウム(Pd)、第2中間層13D-3にニッケル(Ni)、内層13D-4にパラジウム(Pd)を用いる組み合わせ

- ・外層13D-1にパラジウム(Pd)、第1中間層13D-2にニッケル(Ni)、第2中間層13D-3に金(Au)、内層13D-4にパラジウム(Pd)を用いる組み合わせ

- ・外層13D-1に半田、第1中間層13D-2にニッケル(Ni)、第2中間層13D-3に金(Au)、内層13D-4にパラジウム(Pd)を用いる組み合わせが考えられる。

【0070】また、図7に示されるような外層13E-1、第1中間層13E-2、第2中間層13E-3、第3中間層13E-4、内層13E-5とを積層した5層構造の金属膜13Eでは、外層13E-1を金(Au)により形成し、第1中間層13E-2をパラジウム(Pd)により形成し、第2中間層13E-3をニッケル(Ni)により形成し、第3中間層13E-4をパラジウム(Pd)により形成し、内層13E-5を金(Au)により形成する組み合わせが考えられる。

【0071】また、他の組み合わせとしては、

- ・外層13E-1に半田、第1中間層13E-2にニッケル(Ni)、第2中間層13E-3に金(Au)、第3中間層13E-4にパラジウム(Pd)、内層13E-5に金(Au)を用いる組み合わせ

- ・外層13E-1にパラジウム(Pd)、第1中間層13E-2にニッケル(Ni)、第2中間層13E-3に金(Au)

u), 第3中間層13E-4にパラジウム(Pd), 内層13E-5に金(Au)を用いる組み合わせ

・外層13E-1にパラジウム(Pd), 第1中間層13E-2にニッケル(Ni), 第2中間層13E-3に銅(Cu), 第3中間層13E-4にニッケル(Ni), 内層13E-5にパラジウム(Pd)を用いる組み合わせ

・外層13E-1に金(Au), 第1中間層13E-2にニッケル(Ni), 第2中間層13E-3に銅(Cu), 第3中間層13E-4にニッケル(Ni), 内層13E-5に金(Au)を用いる組み合わせ

・外層13E-1に金(Au), 第1中間層13E-2にパラジウム(Pd), 第2中間層13E-3にニッケル(Ni), 第3中間層13E-4に金(Au), 内層13E-5にパラジウム(Pd)を用いる組み合わせが考えられる。

【0072】また、図8(A)に示されるような外層13F-1, 第1中間層13F-2, 第2中間層13F-3, 第3中間層13F-4, 第4中間層13F-5, 内層13F-6とを積層した6層構造の金属膜13Fでは、外層13F-1を金(Au)により形成し、第1中間層13F-2をパラジウム(Pd)により形成し、第2中間層13F-3をニッケル(Ni)により形成し、第3中間層13F-4を金(Au)により形成し、第4中間層13F-5をパラジウム(Pd)により形成し、内層13F-6を金(Au)により形成する組み合わせが考えられる。

【0073】また、他の組み合わせとしては、

・外層13F-1に金(Au), 第1中間層13F-2にパラジウム(Pd), 第2中間層13F-3にニッケル(Ni), 第3中間層13F-4に銅(Cu), 第4中間層13F-5にニッケル(Ni), 内層13F-6をパラジウム(Pd)を用いる組み合わせ

・外層13F-1にパラジウム(Pd), 第1中間層13F-2にニッケル(Ni), 第2中間層13F-3に銅(Cu), 第3中間層13F-4にニッケル(Ni), 第4中間層13F-5にパラジウム(Pd), 内層13F-6を金(Au)を用いる組み合わせが考えられる。

【0074】また、図8(B)に示されるような外層13G-1, 第1中間層13G-2, 第2中間層13G-3, 第3中間層13G-4, 第4中間層13G-5, 第5中間層13G-6, 内層13G-7とを積層した6層構造の金属膜13Gでは、外層13G-1を金(Au)により形成し、第1中間層13G-2をパラジウム(Pd)により形成し、第2中間層13G-3をニッケル(Ni)により形成し、第3中間層13G-4を銅(Cu)により形成し、第4中間層13G-5をニッケル(Ni)により形成し、第5中間層13G-6をパラジウム(Pd)により形成し、内層13G-7を金(Au)により形成する組み合わせが考えられる。

【0075】上記した各組み合わせにより金属膜13を構成することにより、金属膜要求特性を満たすと共に外

層、各中間層、及び外層の接合性を向上することができる。統いて、上記した第1実施例に係る半導体装置10Aの製造方法について説明する。尚、以下の説明では、金属膜13として外層13C-1, 中間層13C-2, 内層13C-3とを積層した3層構造の金属膜13Cを設けた構成を例に挙げて説明するものとする。

【0076】半導体装置10Aは、図15に示されるリードフレーム20を用いて製造される。このリードフレーム20は、導電性金属基材21に複数の凹部22が形成されると共に、この凹部22に金属膜13Cが形成された構成とされている。凹部22の形成位置は、半導体装置10Aに形成された樹脂突起17の形成位置と対応するよう構成されており、また金属膜13Cは樹脂突起17に嵌入しうるよう形成されている。

【0077】また後述するように、リードフレーム20は複数の半導体装置10Aを一括的に形成できるよう(即ち、いわゆる複数個取りができるよう)構成されており、従って凹部22及び金属膜13Cも1枚の金属基材21に複数組形成されている。また本実施例では、隣接する1個の半導体装置10Aの領域が極めて近接して形成されており、よって高密度化が図られた構成とされている。尚、図中23は、例えばリードフレーム20を後の工程において位置決めする際に用いる位置決め孔である。

【0078】ここで、半導体装置10Aの製造方法を説明する前に、先ずリードフレーム20の製造方法について図9乃至図15を用いて説明する。リードフレーム20を製造するには、先ず図9に示すように、導電材料(例えば銅)よりなる平板状の金属基材21を用意し、この金属基材21の上下両面にエッチングレジスト24を塗布する(エッチングレジスト塗布工程)。このエッチングレジスト24は、例えば感光性樹脂であり、ドライフィルムを貼着した後に液状の感光性樹脂を塗布することにより所定膜厚に形成される。

【0079】統いて、エッチングレジスト24に図示しないマスクを用いて露光処理を行い、その後に現像処理を行うことによりエッチングレジスト24の凹部形成位置及び治具穴形成位置に対応する部位を除去し、図10に示すエッチングレジストパターン24aを形成する(エッチングレジストパターン形成工程)。エッチングレジストパターン形成工程が終了すると、エッチングレジストパターン24aが形成された金属基材21に対しエッチング処理が実施される(エッチング工程)。このエッチング工程では、凹部22の形成位置においては金属基材21の上面からのみのハーフエッチングが実施され、位置決め孔23の形成位置においては両面エッチングが実施される。尚、金属基材21の材料として銅(Cu)が用いられた場合には、エッチング液としては、例えば塩化第2鉄等が用いられる。

【0080】これにより、図11に示されるように、金

金属基材21の凹部形成位置には凹部22が形成されると共に、位置決め孔形成位置には位置決め孔23が形成される。この際、ハーフエッチングにより形成される凹部22の深さは、金属基材21の板厚に対し60%程度の深さとすることが可能である。上記のエッチング工程が終了すると、エッチングレジストパターン24aを除去する処理（エッチングレジスト除去工程）が実施され、図12に示されるように、凹部22及び位置決め孔23が形成された金属基材21のみの状態となる。

【0081】続いて、図12に示す状態の金属基材21には、その上下両面にメッキレジスト25が塗布される（メッキレジスト塗布工程）。そして、図示しないマスクを用いてこのメッキレジスト25に露光処理を行い、その後に現像処理を行うことにより、エッチングレジスト24の凹部形成位置に対応する部位のみを除去し、図13に示すメッキレジストパターン25aを形成する（メッキレジストパターン形成工程）。

【0082】上記のように、メッキレジストパターン形成工程では、図10に示したエッチングレジスト形成工程と異なり、メッキレジストパターン25aは凹部22の形成位置のみを露出させ、金属基材21の他の部分は位置決め孔23の形成位置を含め全て覆う構成としている。メッキレジストパターン形成工程が終了すると、続いて図14に示されるように、金属膜形成工程が実施され金属膜13Cが形成される。本実施例においては、金属膜13Cの形成にメッキ法を用いている。本実施例に係る金属膜13Cは、外層13C-1、中間層13C-2、及び内層13C-3を積層した3層構造とされているため、各層毎にメッキ処理を行う。

【0083】具体的には、外層13C-1として金(Au)、中間層13C-2としてパラジウム(Pd)、内層13C-3として金(Au)を用いた場合には、先ず内層13C-3となる金メッキを行い、続いて中間層13C-2となるパラジウムメッキを行い、最後に外層13C-1となる金メッキを行う。この金属膜13Cを構成する各層13C-1～13C-3の厚さは、メッキ時間を制御することにより任意に設定することができる。

【0084】上記の処理を実施することにより金属膜13Cは金属基材21に形成されるが、後に説明するように分離工程において、金属基材21に形成された金属膜13Cは樹脂パッケージ12をリードフレーム20から分離する際に樹脂パッケージ12と共にリードフレーム20から離脱する必要がある。このため、金属膜13Cは金属基材21に対しある程度の分離性も要求される。

【0085】従って、金属膜13Cを凹部22に形成するに先立ち、上記分離性を確保するために、凹部22内に導電性のペースト等の分離性を向上させる部材を塗布しておき、その上部に金属膜13Cを形成する構成としてもよい。また、上記した金属膜形成工程では、メッキ法を用いて金属膜13Cを形成する方法を説明したが、

金属膜13Cの形成はメッキ法に限定されるものではなく、例えば蒸着法、スパッタリング法等の他の膜形成技術を用いて形成する構成としてもよい。

【0086】また本実施例では、エッチングレジスト配設工程、エッチングレジストパターン形成工程、エッチング工程、及びエッチングレジスト除去工程を実施することにより、先ず金属基材21に凹部22をエッチング形成した後、エッチングレジスト24とは別個にメッキレジスト25を配設する構成としている。即ち、レジスト除去工程が終了した後、メッキレジスト配設工程を実施することにより金属基材21の両面にメッキレジスト25を配設し、続くメッキレジストパターン形成工程においてメッキレジスト25の凹部22の形成位置に対応する部位のみを除去して所定のメッキレジストパターン25aを形成している。この際、上記のようにエッチングレジスト24とメッキレジスト25とを異ならせることにより、エッチングレジストパターン24aとメッキレジストパターン24bとを異なるパターンとすることができる。

【0087】これにより、続いて実施される金属膜形成工程では、エッチングに拘わらず、金属膜13Cを形成したい部位のみ形成することができる。特に、本実施例では、メッキレジスト配設工程において、位置決め孔23をメッキレジスト25により覆う構成としたため、精度を必要とする位置決め孔23に金属膜13が形成されることを防止できる。

【0088】位置決め孔23は、その形成時において高精度に位置決めが行なわれているため、その後に金属膜13を形成すると、その位置精度が低下してしまう。よって、メッキレジスト配設工程において位置決め孔23をメッキレジスト25で覆う構成とし、金属膜13が被膜されるのを防止することにより、その後の工程において精度の高い処理を行なうことが可能となる。

【0089】上記のように金属膜形成工程において凹部22内に金属膜13Cが形成されると、続いてメッキレジストパターン25aを除去するメッキレジスト除去工程、及び金属基材21の表面平滑化工程が実施され、図15に示されるリードフレーム20が形成される。上記したリードフレーム20の製造方法では、各レジスト塗布、各レジストパターン形成、エッチング、金属膜形成、及び各レジスト除去等の簡単な工程によりリードフレーム20を形成することができる。尚、上記下実施例では、メッキレジスト25をエッチングレジスト24と別個に配設する構成としたが、エッチング工程においてエッチングする部位とメッキ工程においてメッキする部位が同一である場合には、メッキレジスト25を配設する工程及びこれに関連する工程を省略することも可能である。

【0090】次に、上記のようにして製造されるリードフレーム20を用いて半導体装置10Aを製造する製造

方法について説明する。半導体装置10Aを製造するには、図16に示すように、リードフレーム20の所定素子搭載位置に素子固定樹脂15を塗布すると共に、素子固定樹脂15の上部に半導体素子11を搭載する（素子搭載工程）。素子固定樹脂15は絶縁性を有すると共に接着剤として機能し、よって半導体素子11はリードフレーム20上に素子固定樹脂15の接着力により搭載された状態となる。

【0091】素子搭載工程が終了すると、リードフレーム20はワイヤボンディング装置に装着され、図17に示されるように、半導体素子11に形成された電極パッド14と、リードフレーム20に形成されている金属膜13C（具体的には、内層13C-3）との間にワイヤ18を配設し、半導体素子11と金属膜13Cとを電気的に接続する（接続工程）。この際、前記したように、位置決め孔23は金属膜13Cが形成されないことにより、この位置決め孔23を用いてリードフレーム20をワイヤボンディング装置に高精度に位置決められた状態で装着することができる。

【0092】また、ワイヤ18を電極パッド14と金属膜13Cとの間でワイヤボンディングする際、図17に示す例では、先ず電極パッド14にワイヤ18の一端をボンディングし（ファーストボンディング）し、続いてワイヤ18の他端を金属膜13Cにボンディング（セカンドボンディング）する方法を採用した。しかるに、図18に示すように、先ず金属膜13Cにワイヤ18の一端を接続し、続いて金属膜13Cから電極パッド14にワイヤ18を引き出した上で、ワイヤ18の他端部を電極パッド14に接続する方法を採用してもよい。

【0093】このように、先ず金属膜13Cにワイヤ18の一端を接続し、その後にワイヤ18の他端部を電極パッド14に接続する、いわゆる逆打ちのワイヤボンディング法を用いたことにより、ワイヤループの低背化を図ることができ、これに伴い半導体装置10Aの低背化を図ることができる。また、一般に電極パッド14の配設ピッチは金属膜13Cの配設ピッチに比べて狭く、またワイヤボンディング処理においてファーストボンディングのボンディング領域はセカンドボンディングのボンディング領域よりも広い。よって、配設ピッチの広い金属膜13Cにファーストボンディングを行い、配設ピッチの狭い電極パッド14にセカンドボンディングを行う構成とすることにより、高密度にワイヤ18の配設を行うことが可能となる。

【0094】更に、他のワイヤボンディング方法として、予め金属膜13Cにスタッダップ45を形成しておき、このスタッダップ45にワイヤ18をセカンドボンディングする方法が考えられる。以下、このワイヤボンディング方法について図19乃至図21を用いて説明する。図19（A）は、素子搭載工程が終了した状態を示している。この状態において、先ずリードフレーム

20の凹部22に形成されている金属膜13Cに、キャビラリ46を用いてスタッダップ45を形成する。図19（B）は、金属膜13Cにスタッダップ45が形成された状態を示している。尚、スタッダップ45の形成方法の詳細については、図21を用いて後述するものとする。

【0095】スタッダップ45が形成されると、キャビラリ46は半導体チップ11に形成されている電極パッド14上に移動し、図19（C）に示されるように、電極パッド14に対しワイヤ18をボンディング（ファーストボンディング）する。電極パッド14に対するボンディング処理が終了すると、キャビラリ46はスタッダップ45の上部位置まで移動し、これに伴いワイヤ18もスタッダップ45の上部位置まで引き出される。

【0096】次に、図20（D）に示されるように、キャビラリ46はスタッダップ45に押圧されてワイヤ18とスタッダップ45とがボンディング（セカンドボンディング）される。続いて、同様の処理が他方の電極パッド14に対しても実施され、よって図20（E）に示されるように、電極パッド14と金属膜13Cとの間にワイヤ18が配設された状態となる。

【0097】上記したワイヤボンディング方法では、先ず金属膜13C上にスタッダップ45を形成しておき、その後に電極パッド14にワイヤ18をファーストボンディングした上でワイヤ18を金属膜13C上のスタッダップ45に引出し、金属膜13C上ではなくスタッダップ45にセカンドボンディングするため、金属膜13C上に直接ワイヤ18をボンディングする構成に比べてワイヤ18を確実にボンディングすることができる。

【0098】即ち、セカンドボンディングでは、ファーストボンディングと異なりワイヤ18にボールが形成されていない状態でボンディング処理が実施される。また、セカンドボンディングでは、ワイヤ18がキャビラリ46により押圧されつつ溶接されるため、その接合部分の機械的強度はどうしてもファーストボンディングに比べて低くなってしまう。

【0099】しかるに、予めセカンドボンディング位置である金属膜13C上にワイヤ18と同一材料のスタッダップ45を形成しておき、このスタッダップ45に対しワイヤ18をセカンドボンディングすることにより、ワイヤ18を確実に金属膜13Cと接続させることができる。続いて、図21を用いて、上記したスタッダップ45の形成方法について説明する。尚、以下の説明ではワイヤ18として金（Au）線を用いた場合について説明する。また図示の便宜上、同図には金属膜13C近傍のみを図示し、他の構成の図示は省略している。

【0100】スタッダップ45を形成するには、先ず図21（A）に示すように、キャビラリ45を金属膜1

3Cの上部位置に移動させ、ワイヤボンディング装置に設けられているスパークロッド(図示せず)を放電させて、ワイヤ18の先端にボール47(例えば、 $\phi 90\mu m$)を形成する。次に、図21(B)に示されるように、キャビラリ45を下動させて金属膜13Cに対しボール47を押圧し、この状態で例えば超音波溶接によりボール47を金属膜13Cにボンディングする。ボール47はキャビラリ45に押し潰されるため、このボンディング処理が終了した状態においてボール47の形状は、ボール径 $10\sim 120\mu m$ 、高さ $30\sim 40\mu m$ となっている。

【0101】上記のボンディング処理が終了すると、統いて図21(C)に示されるように、キャビラリ46をボール47より上方に向け約 $300\mu m$ 引き上げる。統いて、図21(D)に示されるように、キャビラリ46を水平方向に約 $40\sim 50\mu m$ 移動させる。上記動作により、キャビラリ46はボール47の中心位置から水平方向に若干量ずれたところに位置することとなる。

【0102】次に、図21(E)に示されるように、ボール47の中心位置から水平方向に若干量ずれた位置を維持しつつキャビラリ46を下動させ、ボール47を潰す処理を行なう。統いて、ワイヤ18をクランプした状態(即ち、ワイヤ18の送りが行なわれないようにした状態)として、図21(F)に示されるように、キャビラリ46を上動させる。これにより、ワイヤ18は切断されてスタッドバンプ45が形成される。

【0103】上記したスタッドバンプ45の形成方法によれば、図21(E)に示す処理において、キャビラリ45はボール47を押し潰すため、形成されるスタッドバンプ45と金属膜13Cとを強固に接合させることができる。また、同様の理由によりスタッドバンプ45の形成面積は広くなる。よって、図21(G)～(I)に示されるように、ワイヤ18をセカンドボンディングする際、スタッドバンプ45上のボンディング面積が広いため、確実にボンディング処理を行なうことができる。また、ワイヤ18とスタッドバンプ45とは同一材質(金)であるためその接合性は良好であり、よってこれによつてもワイヤ18とスタッドバンプ45との接合力を向上させることができる。

【0104】また、図21(F)を用いて説明したように、ボール47を潰した後にキャビラリ46は上動してワイヤ18を切断するが、この上動位置は上記のようにキャビラリ46を水平移動した位置(即ち、ボール中心位置よりずれた位置)となっている。よって、ワイヤ18をリスタッドバンプ45にセカンドボンディングする際、ワイヤ切断位置に形成される突起48がボンディングの邪魔になるようなことはない。

【0105】尚、上記した接続工程においては、ワイヤ18として金線を用いた例を示したが、ワイヤ18として金線を被覆するよう絶縁材が配設された被覆金線を用

いた構成としてもよい。この被覆金線は、絶縁材により被覆されていることにより、隣接するワイヤ18が接触してもショートするようなことはない。よつて、特に高密度にワイヤ18を配設する必要がある場合に有利である。

【0106】上記した接続工程が終了すると、統いてリードフレーム20上に形成された複数の半導体素子11を封止するよう樹脂封止体27を形成する封止工程を実施する。本実施例では、樹脂封止体27をトランスファーモールドにより成形する方法について説明するが、樹脂封止体27はポッティング等の他の樹脂形成方法により形成することも可能である。このポッティングを行なう場合には、リードフレーム20上にポッティングする樹脂の流れを阻止するダムとなる枠体を配設しておき、この枠体内に樹脂をポッティングする構成とすることが望ましい。

【0107】トランスファーモールドにより樹脂封止体27を形成する場合には、低コストでかつ高い信頼性をもつて樹脂封止体27を形成することができ、またポッティングにより樹脂封止体27を形成する場合には、製造設備の簡単化、低コスト化を図ることができる。図22は、接続工程が終了したリードフレーム20を示している。図22(A)はリードフレーム20の断面図であり、図22(B)はリードフレーム20の平面図である。尚、図22(B)では、ワイヤ18の図示は省略している。

【0108】このリードフレーム20は、図23(A)に示されるように、金型28に装着され、トランスファーモールドが行なわれる。本実施例で用いる金型28は、上型29と下型30とにより構成されている。下型30は、リードフレーム20と対向するものであるため、その上面は平坦面とされたキャビティ構造とされている。また、上型に注目すると、上型29には従来のよくな個々の樹脂パッケージの形状に対応したキャビティは設けられておらず、平坦面とされたキャビティ構造とされているこのように、本実施例では、上型29には個々の樹脂パッケージの形状に対応したキャビティが設けられていないため、リードフレーム20上に搭載された複数の半導体素子11は、封止工程において樹脂封止体27により一括して封止される。即ち、この封止工程では個々の樹脂パッケージを形成するのではなく、一つの樹脂封止体27により複数の半導体素子11を一括的に封止する。図23(B)は、樹脂封止体27が形成されたリードフレーム20を平面視した状態を示している。

【0109】上記構成とされた金型28を用いて封止工程実施することにより、金型28に従来のよくな樹脂パッケージに対応したキャビティ及びゲートを形成する必要はなくなり、金型28の構成を簡単化することができる。また、ゲートが不要となることにより各半導体チップ11を近接する事が可能となり、金型28の小型化及

び多数個取りのより一層の効率化を図ることができる。また、後工程において、ゲートを除去する工程が不要となり、半導体装置10Aの製造工程の簡単化を図ることができる。

【0110】また、樹脂封止体27となる樹脂の通路を広く確保することができるため、樹脂封止体27を形成した際にボイドが内部に発生することを抑制することができる。更に、樹脂パッケージ12の大きさに変更ができる。更に、樹脂パッケージ12の大きさに変更ができる。樹脂封止体27の分割位置を変更するのみで対応することができる。尚、この樹脂封止体27を分割処理する分割工程については、後に詳述する。

【0111】上記した封止工程が終了すると、統いて樹脂封止体27をリードフレーム20から分離する分離工程が実施される。図24は分離工程を示しており、同図に示す例ではリードフレーム20にエッチング液を噴射させて溶解することにより、樹脂封止体27をリードフレーム20から分離させる方法を示している。この分離工程で用いられるエッチング液は、リードフレーム20のみを溶解し、金属膜13Cは溶解しない性質を有するエッチング液を選定している。従って、リードフレーム20が完全に溶解されることにより樹脂封止体27はリードフレーム20から分離される。このように、リードフレーム20を溶解することにより樹脂封止体27をリードフレーム20から分離する方法を用いることにより、リードフレーム20からの樹脂封止体27の分離処理を確実かつ容易に行なうことができ、歩留りを向上することができる。

【0112】図25及び図26は、分離工程の変形例を示している。図25に示す変形例では、リードフレーム20と接合した状態の樹脂封止体27をエッチング槽31に装填されたエッチング液32に浸漬することにより、リードフレーム20を溶解するよう構成したものである。この構成とした場合、複数個(図25に示す例では4個)のリードフレーム20に対し分離処理を一括して行なうことができ、分離処理の効率化を図ることができる。

【0113】また、図26に示す変形例では、樹脂封止体27をリードフレーム20から分離するのに、リードフレーム20を溶解することなく、樹脂封止体27をリードフレーム20から引き剥がすことにより、機械的に樹脂封止体27をリードフレーム20から分離することを特徴とする。この分離方法では、前記した実施例に係る方法に比べて、エッチング液が不要となりまた分離工程に要する時間を短縮することができる。しかるに、機械的に樹脂封止体27をリードフレーム20から分離するため、金属膜13Cがリードフレーム20から確実に樹脂突起17に移動するかどうかに問題点があるが、この点はリードフレーム20の製造工程の金属膜形成工程

において、予め凹部22内に金属膜13Cの分離性を向上させる部材(薬剤)を配設した上で金属膜13Cを形成することにより解決することができる。

【0114】図27は、分離工程が終了した状態の樹脂封止体27を示している。図27(A)は分離工程が終了した状態の樹脂封止体27の断面図であり、図27(B)は樹脂封止体27の底面図である。同図に示すように、本実施例では分離工程が終了した状態においても、個々の半導体装置10Aの単位に樹脂封止体27は分割されてはいない。よって、この樹脂封止体27を取り扱うことにより、複数の半導体素子11を一括して同時に取り扱うことができ、また半導体素子11及び金属膜13Cは整列した状態を維持している。

【0115】本実施例では、図27に示す状態の樹脂封止体27に対し、後述する分割工程を実施する前に試験構成を実施する構成としている。この試験工程では、樹脂封止体27に内設された半導体素子11が適正動作を行なうか否かの試験等が実施される。図28は試験工程を示しており、同図に示されるように、半導体素子11の動作試験はテスター接続端子33を用いて行なわれる。このテスター接続端子33は、1個の半導体装置10Aに設けられる複数の金属膜13Cの形成位置と対応するよう複数の接続端子34が設けられており、図示しない移動装置により樹脂封止体27上を三次元的に移動しうる構成とされている。

【0116】よって、樹脂封止体27に設けられた複数の半導体素子11の全てに対して試験を行なう構成となっている。また、テスター接続端子33には試験装置(テスター)に接続された複数のケーブル35が接続されており、このケーブル35は夫々対応する接続端子34に接続されている。上記構成とされたテスター接続端子33は、移動装置により移動させることにより、1個の半導体装置10Aに対応する複数の金属膜13Cに接続端子34を接続させ、個々の半導体素子11に対し所定の動作試験を行なう。ここで得られた試験結果は、テスター内に設けられている記憶装置にマップデータとして保存され、多工程試験(例えば、2工程試験、再試験)を行なった後、分類収納される構成とされている。

【0117】本実施例のように、樹脂封止体27を個々の樹脂パッケージ12に分割する分割工程を実施する前に、個々の半導体素子11に対し試験を行なうことにより、分割工程実施した後に試験を行なう構成に比べ、試験工程を容易に行なうことができる。即ち、分割工程実施すると、樹脂封止体27は個々の樹脂パッケージ12(半導体装置10A)に分割されるため、この個々の半導体装置10Aに対し試験を行なうには、これを例えばテスト台等に個々整列させて装着したり、また個々の半導体装置10Aに設けられた金属膜13Cと接続端子34とを位置合わせする必要があり試験工程が面倒

となる。

【0118】これに対し、分割工程を実施する前に試験工程を実施することにより、分割工程前では個々の半導体素子11及び金属膜13Cは樹脂封止体27に整列した状態を維持しており、よって整列処理は不要となり、かつ位置合わせ処理を一括して行なうことができるため、試験工程を容易に行なうことができる。上記の試験工程が終了すると、続いて分割工程が実施される。この分割工程では、樹脂封止体27を切断することにより、個々の樹脂パッケージ12(半導体装置10A)を形成する。

【0119】本実施例では、図29に示すように、樹脂封止体27を切断分割する治具としてカットソー37を用いている。このカットソー37は、ウェーハを切断する時に用いるダイシングソーと同一構成とされており、極めて狭い切断しろをもって高精度に切断処理を行なうことができる。尚、カットソー37以外にも、例えばレーザ光、電子ビーム等を利用して分離処理を行なうことも可能である。

【0120】ところで、上記のように樹脂封止体27は半導体素子11及び金属膜13Cが高密度に配設されており、よって隣接する1個の半導体装置10Aの領域が極めて近接して形成されている。従って、カットソー37による切断位置(カットライン36)を高精度に位置決めする必要がある。そこで、本実施例では、樹脂封止体27から露出した金属膜13Cを基準として分割位置(カットライン36)を決め、このカットライン36に沿ってカットソー37を移動させることにより分割処理を行なう構成としている。この金属膜13Cの位置認識は、例えばCCDカメラ等を用い、画像処理を利用して行なうことができる。

【0121】金属膜13Cは、元々はリードフレーム20に形成されているものであるためその位置精度は高い。よって、樹脂成型時に膨張・収縮が発生する樹脂封止体(例えば、その外形縁)を基準としてカットライン36を決めるのに比べ、金属膜13Cに基づきカットライン36を決めた方が切断位置を高精度に定めることができる。また、金属膜13Cは、光を照射した場合に周囲に存在する樹脂封止体27(通常は、黒色樹脂)に比べて光の反射率が高い。よって、これによってもカットライン36を高精度に決めることができる。

【0122】このように、金属膜13Cを基準としてカットライン36を決め、このカットライン36に沿ってカットソー37を移動させ分割処理を行なうことにより、精度の高い分割を行なうことができ、分割工程における半導体素子11及び金属膜13Cの損傷発生を確実に防止することができる。図30は、樹脂封止体27が分割され、個々の樹脂パッケージ12が形成された状態を示している。以上説明してきた各工程を実施することにより、図1に示す半導体装置10Aが製造される。

【0123】図31は、上記した半導体装置の製造方法の変形例を示している。尚、同図では、半導体装置を製造する際に行なわれる各工程の内、試験工程を例に挙げて示している。本変形例では、分割工程を実施する前に粘着テープ39(UVテープでも可能)を樹脂封止体27に添着するテープ配設工程を実施することを特徴とするものである。このように、分割工程を実施する前に樹脂封止体27に粘着テープ39を配設することにより、分割工程を実施した後においても分割された個々の半導体パッケージ12(半導体装置11A)は整列した状態を維持する。

【0124】以下、この製造方法について説明する。粘着テープ39は、リング状の枠体38に予め配設されており、図中上面が粘着面とされている。封止工程及び分離工程が実施されることにより、図27に示す状態となった樹脂封止体27は、枠体38の略中央位置に金属膜13Cの形成面と半体側の面を下にして粘着テープ39に添着される。

【0125】上記のように粘着テープ39に樹脂封止体27が添着されると、続いて分割工程が実施される。尚、この分割工程の際、粘着テープ39は切断されないよう切断条件は設定されている。この分離構成を実施することにより、樹脂封止体27は個々の樹脂パッケージ12に分割されるが、樹脂封止体27は粘着テープ39に添着されているため、樹脂封止体27を分割し個々の樹脂パッケージ12を形成しても、各樹脂パッケージ12も粘着テープ39に添着された状態を維持する(以下、これをキャリア49という)。よって、キャリア49内において、分割工程後においても個片化された各樹脂パッケージ12は整列した状態を維持している。従って、本変形例の構成とすることにより、分割処理を実施した後であっても、整列処理及び位置合わせ処理を行なうことなく、試験工程を行なうことが可能となる。

【0126】ところで、分割工程は機械加工であるため、半導体素子11に損傷が発生することが考えられる。よって、信頼性の高い試験工程を実施するためには、なるべく後工程において試験を実施することが望ましい。本変形例では、上記のように分割工程を実施した後に試験工程を実施するため、分割工程において発生する半導体素子11の異常についても試験工程において検知することができる。

【0127】続いて、粘着テープ39に添着された状態の半導体装置10Aに対し、試験を行なう方法について図31に加え図32を用いて説明する。尚、図32は、粘着テープ39に添着された状態の半導体装置10Aに対して試験を行なう試験装置50を示している。先ず、試験装置50の構成について説明する。試験装置50は、大略するとテスタコンタクト33A、CCDカメラ40、キャリアホルダ52、カメラ移動装置53、反転

装置54、ハンドリングロボット56等により構成されている。これらの各構成要素52、53、56は、基台51の上部に配設されている。

【0128】キャリアホルダ52は、上記のキャリア49を複数個収納するものである。カメラ移動装置53は、アーム先端部にCCDカメラ40が配設されており、図中矢印X、Y方向、及び図面に対し垂直方向（以下、Z方向という）にCCDカメラ40を移動する構成とされている。反転装置54は、試験台41に載置されたキャリア49を上下反転させる動作を行なう。また、ハンドリングロボット56は、アーム57にキャリア49を把持すると共に、これを基台51上を矢印X、Y、Z方向に移動させる構成とされている。

【0129】続いて、キャリア49に配設された半導体装置10Aに対し試験を実施する際の、上記構成とされた試験装置50の動作について説明する。先ず、ハンドリングロボット56は、キャリアホルダ52から試験を実施しようとする複数の半導体装置10Aが列設されたキャリア49を取り出し、試験台41上に載置する。続いて、カメラ移動装置53が起動し、CCDカメラ40により半導体装置10Aの外観試験を行なう。

【0130】図31に示されるように、キャリア49に添着された状態で、各半導体装置10Aは金属膜13Cが上方に位置する構成となっている。よって、CCDカメラ40により半導体装置10Aを撮像することにより、金属膜13Cの不良を検出することができる。上記の外観検査が終了すると、CCDカメラ40は試験台41の上部から退避し、続いて反転装置54が起動する。反転装置54は、キャリア49を上下反転させる。これにより、半導体装置10Aの金属膜13Cは、基台51と対向した状態となる。ハンドリングロボット56は、この上下が反転したキャリア49を把持し、テスター CONTACT33Aの配設位置まで移動させる。

【0131】このテスターCONTACT33Aは、図31に示されるように（図示の便宜上、CCDカメラ40の配設側と同一側に図示している）、金属膜13Cの配設位置に対応して設けられたCONTACTPIN34を有している。ハンドリングロボット56は、半導体装置10Aの金属膜13CがこのCONTACTPIN34と接触するようキャリア49を移動させる。これにより、各半導体装置10AはテスターCONTACT33Aと夫々接続し、動作試験が行なわれる。

【0132】上記の試験が終了すると、良品である半導体装置10Aは良品トレイ58に収納され、不良品である半導体装置10Aは不良品トレイ59に収納され、更に再試験を必要とする半導体装置10Aは再試験用トレイ60に収納される。また、良品トレイ58に収納された半導体装置10Aは、続いてテーピング装置61（エンボステーピング機）に搬送され、出荷処理が行なわれる。また、再試験トレイ60に収納された半導体装置1

0Aは、再度測定部に搬送されて再試験が行なわれる。

【0133】尚、上記した試験工程では、良品と判断された半導体装置10Aは、テーピング装置61を用いて出荷処理が行なわれる構成としたが、コンテナに収納しても、また粘着テープ39に添着した状態のままで出荷する構成としてもよい。また、上記した試験工程では、半導体素子11に対する動作試験のみを行なう構成としたが、試験装置50の構成をバーンイン試験対応の構成とすることにより、信頼性及び耐久性試験をも行なう構成としてもよい。

【0134】続いて、本発明の第2実施例に係る半導体装置について説明する。図33は、第2実施例に係る半導体装置10B～10Dを説明するための図である。上記した実施例では、分割工程において樹脂封止体27を分割する際、1個の樹脂パッケージ12に対し1個の半導体素子11が内設された構成となるよう切断位置を設定していた。

【0135】しかるに図23に示すように、カットライン36を適宜選定することにより、1個の樹脂パッケージ12に複数の半導体素子11を搭載した半導体装置を製造することができる。同図において、半導体装置12Aは1個の樹脂パッケージ12Aに4個の半導体素子11を配設した構成のものである。また、半導体装置12B、12Cは1個の樹脂パッケージ12B、12Cに2個の半導体素子11を配設した構成のものである。このように、カットライン36を適宜選定することにより、種々の構成の半導体装置12A～12Cを容易に形成することが可能となる。

【0136】続いて、本発明の第3実施例に係る半導体装置について説明する。図34は、第3実施例に係る半導体装置10Eを示している。図34（A）は半導体装置10Eの横断面図であり、図34（B）は半導体装置10Eの側面図である。上記した各実施例では、樹脂パッケージ12内に同一の半導体素子11を単数或いは複数配設した構成とされていた。これに対し、本実施例に係る半導体装置10Eは、樹脂パッケージ12内に多種の素子11、12を配設したことを特徴とするものである。具体的には、半導体装置10Eは、樹脂パッケージ12内に2個の半導体素子11と、2個の電子素子19（例えば、発振素子等）を配設した構成とされている。

【0137】このように、樹脂パッケージ12内に多種の素子11、12を配設することにより、半導体装置10EをいわゆるMCM（マルチ・チップ・モジュール）化することができ、集積度の向上及び低コスト化を図ることが可能となる。尚、上記した各実施例では、分割工程を分離工程の後に行なう製造方法を示したが、分割工程を分離工程より前に実施することも可能である。

【0138】この場合には、分割工程においてリードフレーム20を基準として分割位置（カットライン36）を決めて分割処理を行なうことができる。前記したよう

に、樹脂封止体27は、その樹脂成型時に膨張・収縮が発生するため、この樹脂封止体27（例えば、樹脂封止体27の外周縁）を基準として分割処理を行なうと、カットライン36に膨張・収縮に起因したずれが発生するおそれがある。

【0139】しかるに、リードフレーム20は樹脂成型前後における膨張・収縮は少なく、よってリードフレーム20を基準としてカットライン36を設定し分割処理を行なうことにより、精度の高い分割処理を行なうことができる。

【0140】

【発明の効果】上述の如く本発明によれば、下記の種々の効果を実現することができる。請求項1記載の発明によれば、インナーリードやアウターリードが不要となり、樹脂突起に形成された金属膜を外部端子として実装することができるため、実装面積を小さくできる。

【0141】また、半導体装置内にリードフレームが配設されないため、コストの低減を図ることができる。また、樹脂突起及び金属膜は、BGAタイプの半導体装置の半田パンプと同等の機能を奏するため、実装性を向上することができる。更に、樹脂パッケージの外周側面を基準面として実装時或いは試験時等において半導体装置の位置決めを行なうことができるため、樹脂パッケージに別個位置決め用の標識を形成する必要はなくなり、構成の簡単化及び製造工程の簡単化を図ることができる。

【0142】また、請求項2乃至8記載の発明によれば、金属膜を単層とした場合には、接続手段（例えば、ワイヤボンディング）の接合性及び半田付け性が共に良好な金属を金属膜として用い、また複数層を積層した金属膜の場合には、最内層を接続手段の接合性が良好な金属とし、かつ最外層を半田付け性が共に良好な金属としたことにより、半導体素子と金属膜との電気的接続及び金属基板と実装基板との電気的接続を共に良好とすることができる。

【0143】また、請求項9記載の発明によれば、凹部と金属膜が形成されただけの簡単な構成のリードフレームにより、請求項1乃至8のいずれかに記載の半導体装置を製造することができる。また、請求項10記載の発明によれば、レジスト塗布、レジストパターン形成、エッチング、金属膜形成、及びレジスト除去等の簡単な工程によりリードフレームを形成することができる。

【0144】また、請求項11記載の発明によれば、エッチングレジストとメッキレジストとを異ならせることにより、エッチングレジストパターンとメッキレジストパターンとを異なるパターンとすることができるため、金属膜形成工程ではエッチングに拘わらず金属膜を形成したい部位のみに金属膜を形成することができる。また、請求項12記載の発明によれば、精度を必要とする位置決め孔に金属膜が形成されることを防止でき、その後の工程において精度の高い処理を行なうことが可能と

なる。

【0145】また、請求項13記載の発明によれば、封止工程で使用する金型に、従来のように樹脂パッケージに対応したキャビティ及びゲートを形成する必要はなくなり、金型の構成を簡単化することができる。また、ゲートが不要となることにより各半導体チップを接する事が可能となり、金型の小型化及び多数個取りのより一層の効率化を図ることができる。

【0146】更に、樹脂パッケージの大きさに変更が発生しても、金型の構造を変更する必要はなく、分割位置を変更するのみで対応することができ、樹脂パッケージの大きさの変更に柔軟に対応することができる。また、請求項14記載の発明によれば、ワイヤループの低背化を図ることができ、これに伴い半導体装置の低背化を図ることができる。また、配設ピッチの広い金属膜にファーストボンディングを行い、配設ピッチの狭い電極パッドにセカンドボンディングを行う構成とすることにより、高密度にワイヤの配設を行うことが可能となる。

【0147】また、請求項15記載の発明によれば、金属膜上ではなくスタッズパンプにワイヤをセカンドボンディングすることにより、金属膜上に直接ワイヤをボンディングする構成に比べてワイヤを確実にボンディングすることができる。また、請求項16記載の発明によれば、形成されるスタッズパンプと金属膜との接合を強固にできると共に、後に実施されるワイヤのセカンドボンディング時におけるボンディング面積を広げることができ、よってワイヤと金属膜とのボンディングを確実に行なうことができる。

【0148】また、請求項17記載の発明によれば、分離工程において樹脂パッケージをリードフレームから引き剥がすことにより分離することにより、容易に樹脂パッケージをリードフレームから分離することができる。また、請求項18記載の発明によれば、分離工程においてリードフレームを金属膜を残して溶解して樹脂パッケージを分離することにより、樹脂パッケージのリードフレームからの分離を確実かつ容易に行なうことができる。

【0149】また、請求項19記載の発明によれば、複数個のリードフレームに対し分離処理を一括的に行なうことができ、分離処理の効率化を図ることができる。また、請求項20記載の発明によれば、周知の樹脂成型方法であるトランスマーモールドを用いることにより樹脂封止体を形成できるため、低コストで高い信頼性をもつて樹脂封止体を形成することができる。

【0150】また、請求項21記載の発明によれば、ボッティング法を用いて樹脂封止体を形成することにより、金型等の高額の設備を必要とすることなく、低コストで樹脂封止体を形成することができる。また、請求項22記載の発明によれば、樹脂封止体から露出した金属膜または樹脂封止体の外形を基準として分割位置を決めて分割処理を行なうことにより、明確な基準に基づき分

離処理を行なえるため、精度の高い分割処理を行なうことができる。

【0151】また、請求項23記載の発明によれば、分割工程においてリードフレームを基準として分割位置を決めて分割処理を行なうことにより、樹脂成型時に膨張・収縮が発生する樹脂封止体を基準として分割処理を行なう場合に比べ、精度の高い分割処理を行なうことができる。また、請求項24記載の発明によれば、分割工程を実施する前に個々の半導体素子に対し試験を行なう試験工程を実施することにより、分割工程実施した後に試験を行なう構成に比べ、試験工程を容易に行なうことができる。

【0152】また、請求項25記載の発明によれば、樹脂パッケージが粘着テープに粘着された状態で個々の半導体素子に対し試験を行なう試験工程が実施されるため、整列処理は不要となり、また位置合わせ処理を一括して行なうことができるため、試験工程を容易に行なうことができる。更に、請求項26記載の発明によれば、前記した請求項1記載の効果に加え、樹脂パッケージ内に半導体素子或いは電子素子の少なくとも一方を複数個含む素子群が内設された構成となるため、半導体装置をいわゆるMCM(マルチ・チップ・モジュール)とすることができる、集積度の向上及び低コスト化を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例である半導体装置の断面図である。

【図2】本発明の第1実施例である半導体装置の底面図である。

【図3】金属膜(1層)を拡大して示す図である。

【図4】金属膜(2層)を拡大して示す図である。

【図5】金属膜(3層)を拡大して示す図である。

【図6】金属膜(4層)を拡大して示す図である。

【図7】金属膜(5層)を拡大して示す図である。

【図8】金属膜(6層)を拡大して示す図である。

【図9】リードフレームの形成方法の一実施例を説明するための図である(エッチングレジスト塗布工程)。

【図10】リードフレームの形成方法の一実施例を説明するための図である(エッチングレジストパターン形成工程)。

【図11】リードフレームの形成方法の一実施例を説明するための図である(エッチング工程)。

【図12】リードフレームの形成方法の一実施例を説明するための図である(エッチングレジスト除去工程)。

【図13】リードフレームの形成方法の一実施例を説明するための図である(メッキレジスト塗布工程及びメッキレジストパターン形成工程)。

【図14】リードフレームの形成方法の一実施例を説明するための図である(金属膜形成工程及びメッキレジスト除去工程)。

【図15】完成したリードフレームを示す断面図である。

【図16】半導体装置の製造方法の一実施例を説明するための図である(素子搭載工程)。

【図17】半導体装置の製造方法の一実施例を説明するための図である(接続工程)。

【図18】半導体装置の製造方法における接続工程の変形例を説明するための図である。

【図19】半導体装置の製造方法における接続工程の変形例を説明するための図(その1)である。

【図20】半導体装置の製造方法における接続工程の変形例を説明するための図(その2)である。

【図21】スタッダバングの形成方法を説明するための図である。

【図22】接続工程が終了した状態のリードフレームを示す図である。

【図23】半導体装置の製造方法の一実施例を説明するための図である(封止工程)。

【図24】半導体装置の製造方法の一実施例を説明するための図である(分離工程)。

【図25】半導体装置の製造方法における分離工程の変形例を説明するための図である(その1)。

【図26】半導体装置の製造方法における分離工程の変形例を説明するための図である(その2)。

【図27】分離工程が終了した状態の樹脂封止体を示す図である。

【図28】半導体装置の製造方法の一実施例を説明するための図である(試験工程)。

【図29】半導体装置の製造方法の一実施例を説明するための図である(分割工程)。

【図30】分割工程が終了した状態の樹脂パッケージを示す図である。

【図31】半導体装置の製造方法における試験工程の変形例を説明するための図である。

【図32】図31で示す試験を行なう際に用いる試験装置を説明するための図である。

【図33】本発明の第2実施例である半導体装置を説明するための図である。

【図34】本発明の第3実施例である半導体装置を説明するための図である。

【図35】従来の半導体装置の一例を説明するための図である。

【図36】従来の半導体装置の一例を説明するための図である。

【符号の説明】

10A～10E 半導体装置

11 半導体素子

12 樹脂パッケージ

13, 13A～13G 金属膜

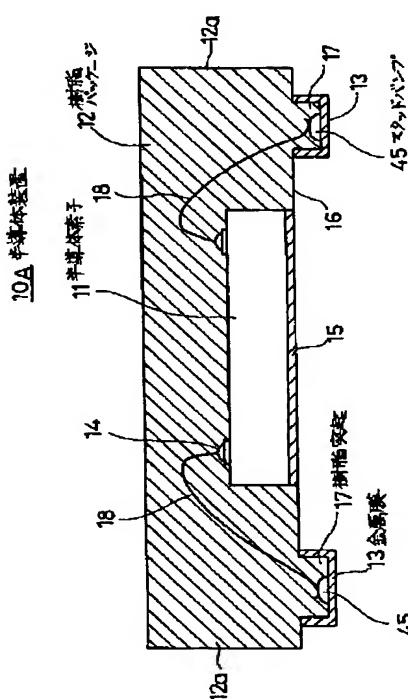
13B-1, 13C-1, 13D-1, 13E-1, 13F-1,

1 3 G-1 外層
 1 3 C-2 中間層
 1 3 D-2, 1 3 E-2, 1 3 F-2, 1 3 G-2 第1中間層
 1 3 D-3, 1 3 E-3, 1 3 F-3, 1 3 G-3 第2中間層
 1 3 E-4, 1 3 F-4, 1 3 G-4 第3中間層
 1 3 F-5, 1 3 G-5 第4中間層
 1 3 G-6 第5中間層
 1 3 B-2, 1 3 C-3, 1 3 D-4, 1 3 E-5, 1 3 F-6,
 1 3 G-7 内層
 1 4 電極パッド
 1 7 樹脂突起
 1 8 ワイヤ
 2 0 リードフレーム
 2 1 金属基材
 2 2 凹部
 2 3 位置決め孔
 2 4 エッチングレジスト
 2 4 a エッチングレジストパターン
 2 5 メッキレジスト
 2 5 a メッキレジストパターン
 2 7 樹脂封止体

28 金型
 31 エッチング槽
 32 エッチング液
 33, 33A テスター・コンタクト
 34 コンタクトピン
 36 カットライン
 37 カットソー
 38 枠体
 39 粘着テープ
 40 CCDカメラ
 45 スタッドバンプ
 46 キャビラリ
 47 ポール
 49 キャリア
 50 試験装置
 53 カメラ移動装置
 54 反転装置
 56 ハンドリングロボット
 58 良品トレイ
 59 不良品トレイ
 60 再検査用トレイ

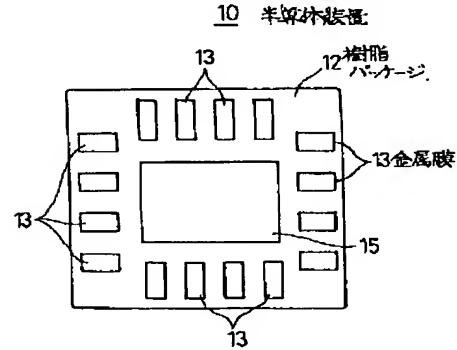
[図1]

本発明の第1実施例である半導体装置の剖面図



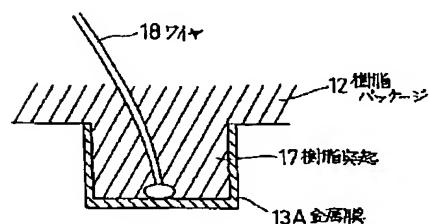
【 2】

本発明の第1実施例である半導体装置の底面図



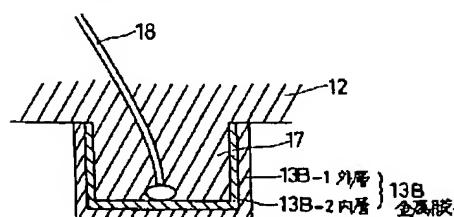
【四】

金属膜(1層)を拡大して示す図



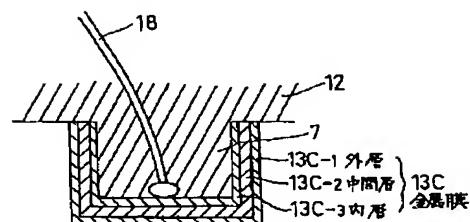
【図4】

金属膜(2層)を拡大して示す図



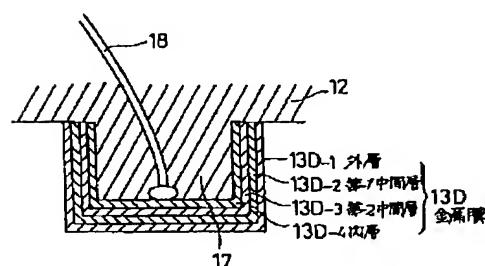
【図5】

金属膜(3層)を拡大して示す図



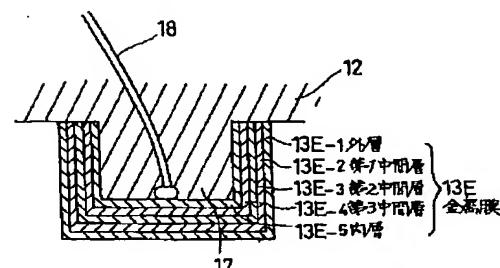
【図6】

金属膜(4層)を拡大して示す図

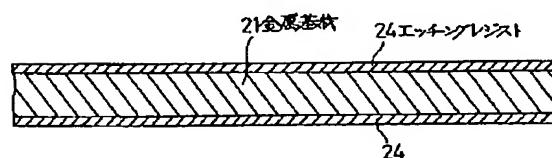


【図7】

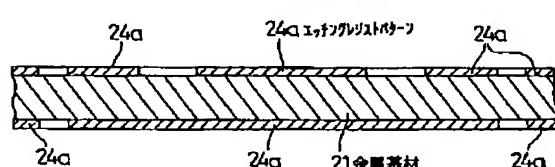
金属膜(5層)を拡大して示す図



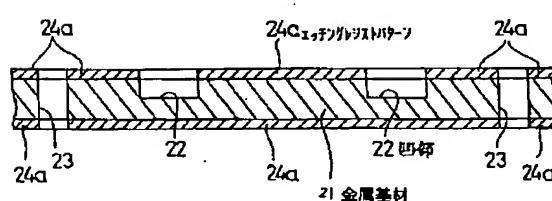
【図9】

リードフレームの形成方法の一実施例を説明するための図
(エッティングレジスト塗布工程)

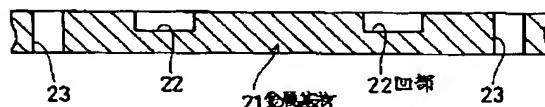
【図10】

リードフレームの形成方法の一実施例を説明するための図
(エッティングレジストパターン形成工程)

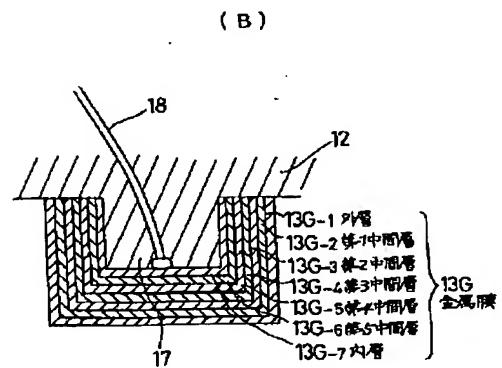
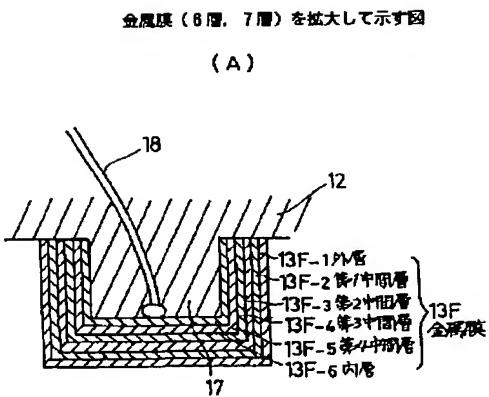
【図11】

リードフレームの形成方法の一実施例を説明するための図
(エッティング工程)

【図12】

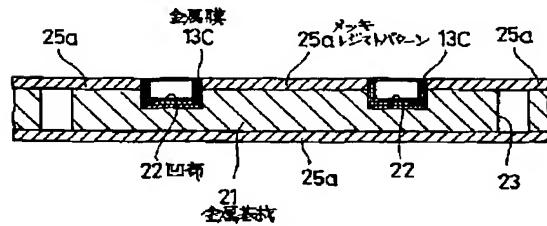
リードフレームの形成方法の一実施例を説明するための図
(エッティングレジスト除去工程)

【図8】



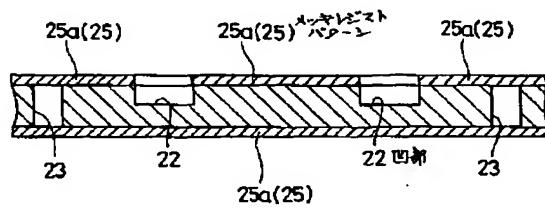
【図14】

リードフレームの形成方法の一実施例を説明するための図
(金属膜形成工程及びメカレジスト除去工程)



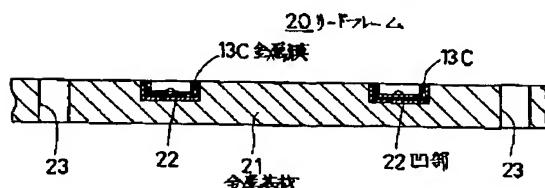
【図13】

リードフレームの形成方法の一実施例を説明するための図
(メカレジスト塗布工程及びメカレジストバターン形成工程)



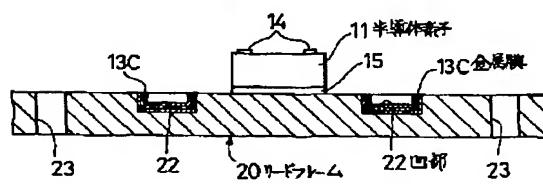
【図15】

完成したリードフレームを示す断面図



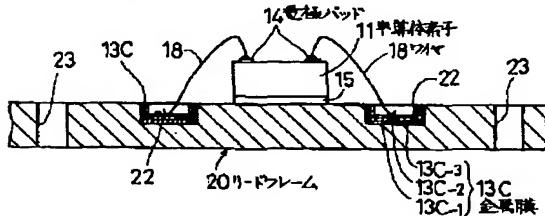
【図16】

半導体装置の製造方法の一実施例を説明するための図
(素子搭載工程)



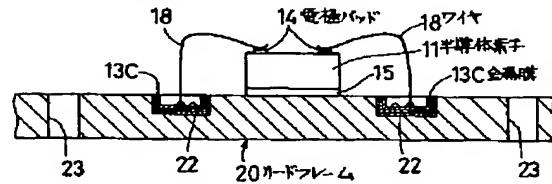
【図17】

半導体装置の製造方法の一実施例を説明するための図
(接続工程)



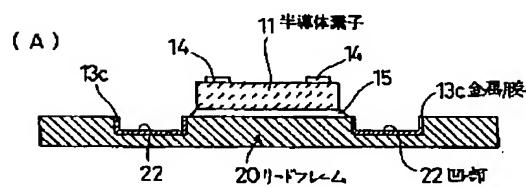
【図18】

半導体装置の製造方法における接続工程の変形 例を説明するための図



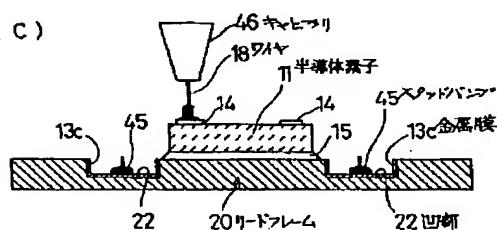
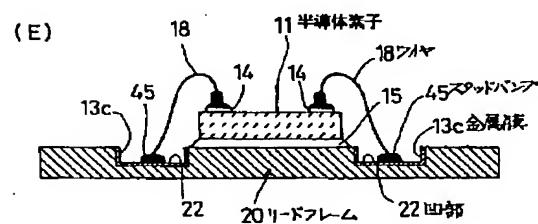
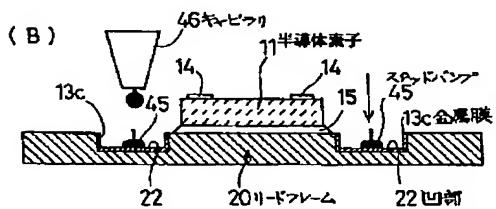
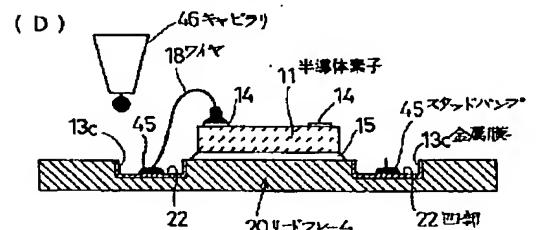
【図19】

半導体装置の製造方法における接続工程 の変形例を説明するための図（その1）



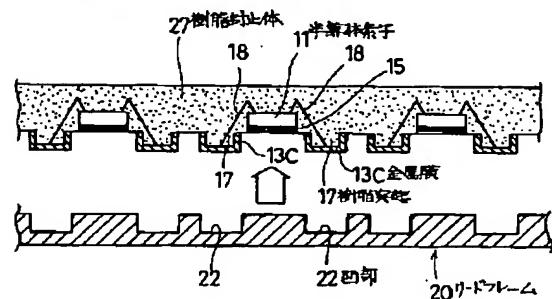
【図20】

半導体装置の製造方法における接続工程の変形例を説明するための図（その2）



〔図26〕

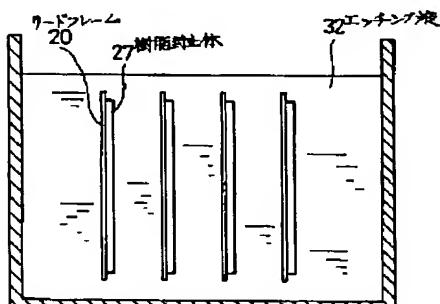
半導体装置の製造方法における分離工程の変形例を説明するための図 (その2)



〔図25〕

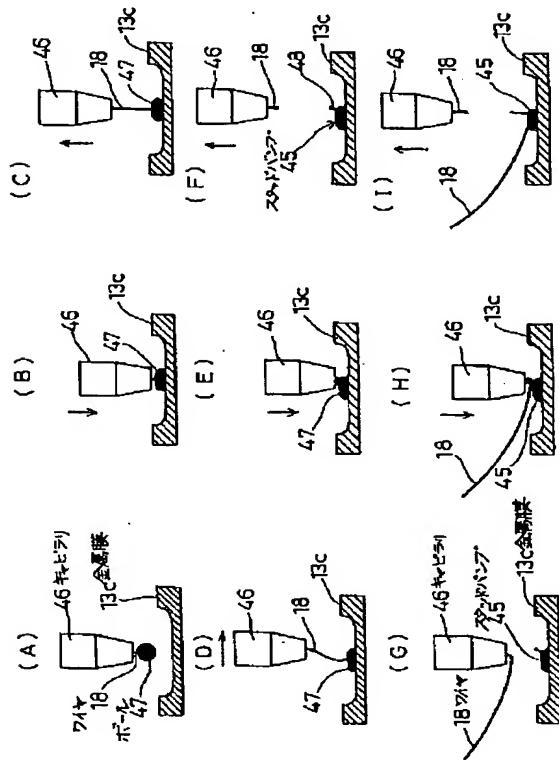
半導体装置の製造方法における分離工程の変形例を説明するための図（その1）

31 エッセンス



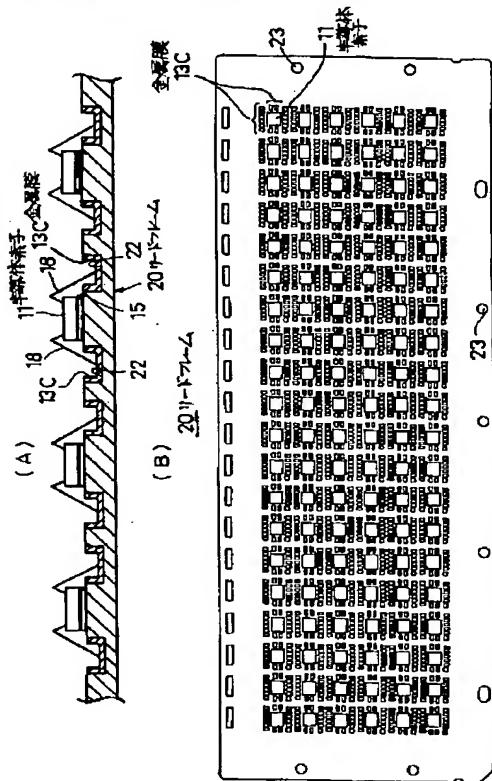
【図21】

スタッドバンプの形成方法を説明するための図



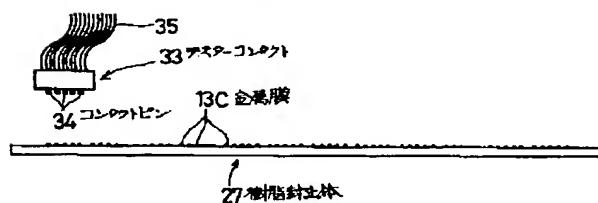
【図22】

焼成工程が終了した状態のリードフレームを示す図



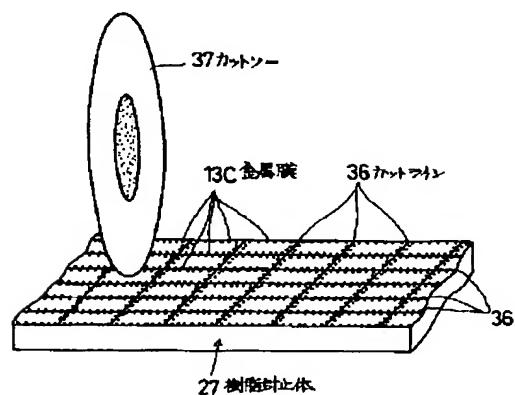
【図28】

半導体装置の製造方法の一実施例を説明するための図(試験工程)



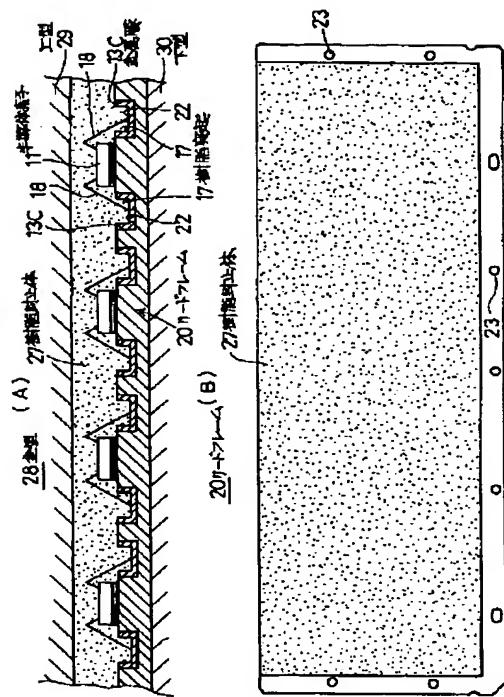
【図29】

半導体装置の製造方法の一実施例を説明するための図(分割工程)



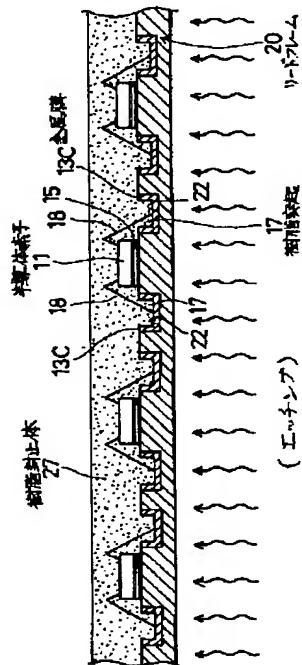
【图23】

半導体装置の製造方法の一実施例を説明する ための図（封止工程）



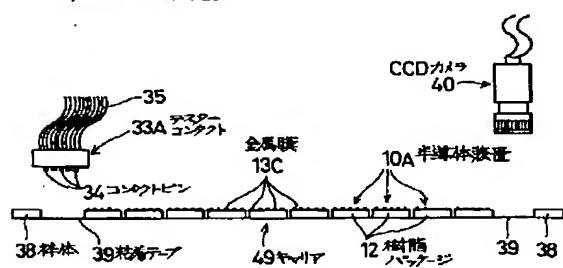
【図24】

半導体装置の製造方法の一実施例を説明するための図（分離工程）



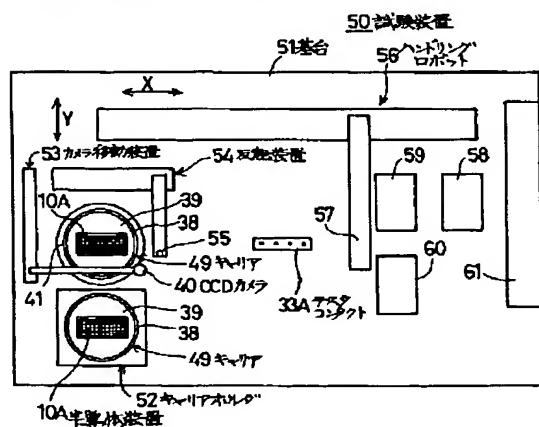
【図31】

半導体装置の製造方法における試験工程の実例を 説明するための圖



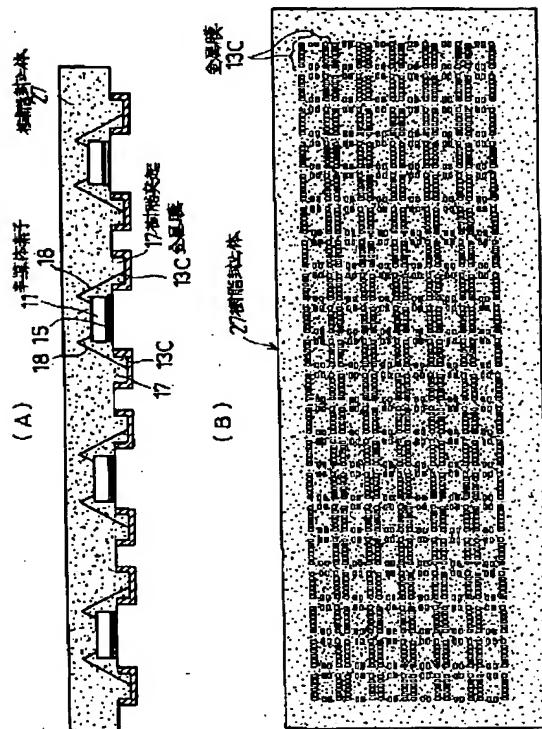
〔図32〕

図31で示す試験を行なう際に用いる試験装置を説明するための図



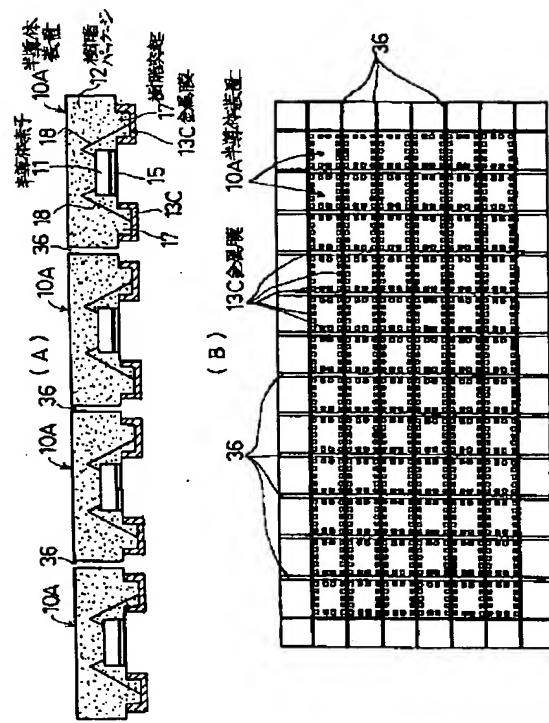
【図27】

分離工程が終了した状態の樹脂封止体を示す図



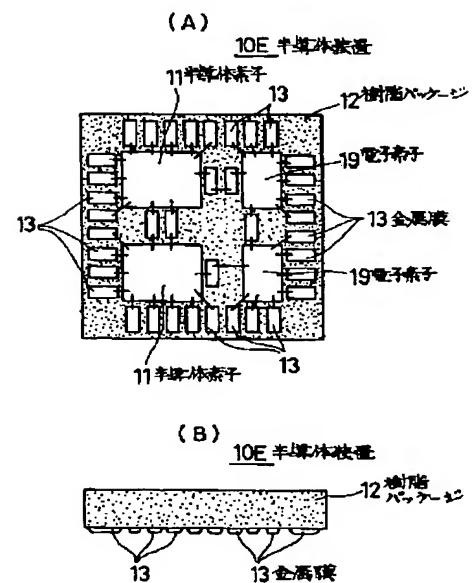
【図30】

分割工程が終了した状態の樹脂パッケージを示す図



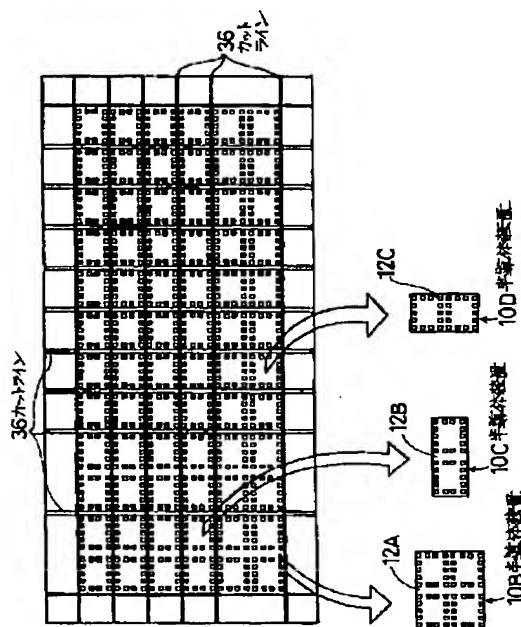
【図34】

本発明の第3実施例である半導体装置を説明するための図



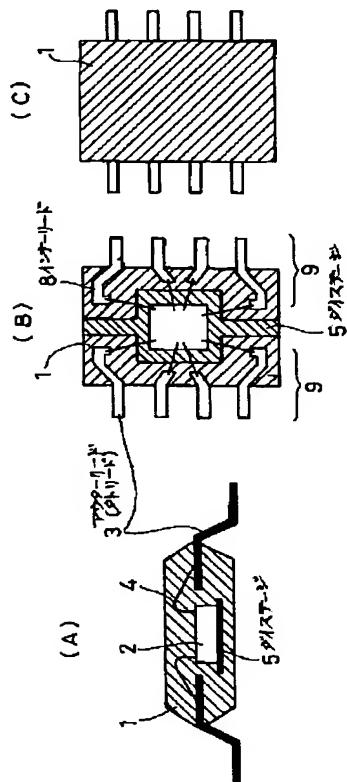
【図33】

本説明の第2実施例である半導体装置を説明するための図



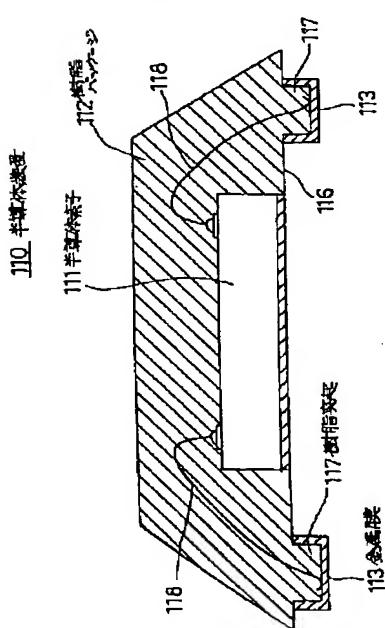
【図35】

従来の半導体装置の一例を説明するための図



【図36】

半導体装置の一例を説明するための図



フロントページの続き

(72) 発明者 元岡 俊介
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 辻 和人
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 河西 純一
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 川原 登志実
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 迫田 英治
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 板坂 健治
鹿児島県薩摩郡入来町副田5950番地 株式
会社九州富士通エレクトロニクス内

(72) 発明者 上福元 輝己
鹿児島県薩摩郡入来町副田5950番地 株式
会社九州富士通エレクトロニクス内